


SPARTAN6 개발모듈 매뉴얼

REV 2

LK EMBEDDED

이경남

WWW.LKEMBEDDED.CO.KR

TITLE: Documents		SPARTAN6 개발모듈 LD4	LK Development Team
Status	Revision Date Doc Kenneth Lee		

제품소개

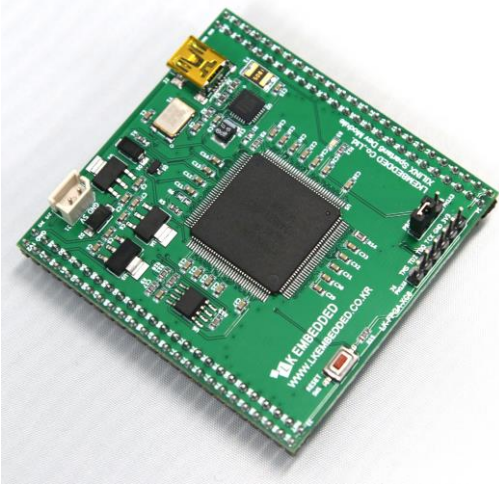
1. FPGA 란?

FPGA는 Field Programmable Gate Array의 약어로서, 디지털 회로의 논리소자를 프로그램으로 쉽게 구성 할 수 있는 반도체이다. 미리 구축된 로직블록 및 프로그래밍 가능한 라우팅 리소스가 직접 하드웨어를 부품 하나하나 설계를 하지 않아도 필요한 기능구현을 위한 칩을 구성 할 수 있다. 또한 FPGA는 완벽하게 하드웨어의 재구성이 가능하며, 다른 회로 구성을 설계하고 재 컴파일 하면 바로 새로운 기능을 하는 하드웨어 구성이 된다. 또한 FPGA는 완벽하게 하드웨어의 재구성이 가능하며, 다른 회로구성을 설계하고 재 컴파일 하면 바로 새로운 기능을 하는 하드웨어 구성이 된다. 즉, 프로그램으로 쉽게 바꿀 수 있는 하드웨어로 볼 수 있다. FPGA는 전기전인 퓨즈에 의한 사용자 프로그래밍으로 원하는 사용자 회로를 빠른 시간에 구현할 수 있게 해준다. 또한 유연성 있는 논리 및 연결구조로 인하여 고성능의 회로를 구현할 수 있게 한다.

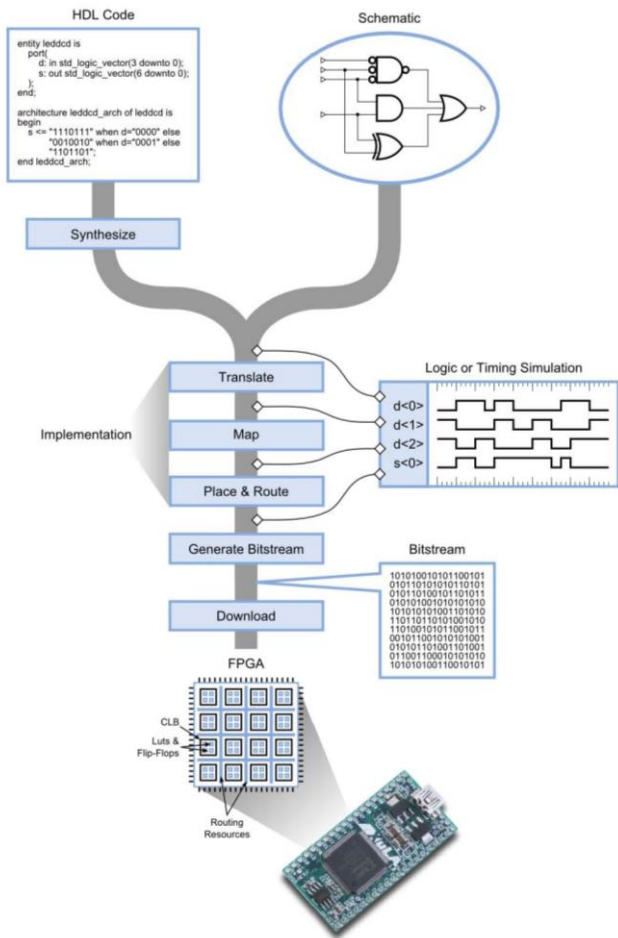
Logic Block에는 디지털 회로를 구현할 수 있는 게이트, Flip-Flop, 멀티플렉서 등이 배치되어 있다. I/O Block에는 입력 및 출력회로의 용도에 맞게 구성하기 위한 회로들이 외부 핀과 함께 배치되어 있다. 또한 FPGA는 Array Based와 Row Based 두 가지 방법이 있으며, 구조는 Gate Array와 매우 흡사하지만 Program에 의해 내부 회로 배선이 연결되는 형식을 취하고 있다. FPGA는 Logic Cell 위주의 설계 방식이기 때문에 SPLD Block 내부의 배선이 외부와 직접 연결될 수 있도록 고안되어 있어 일반 Gate Array와 매우 비슷하며 타이밍 시뮬레이션(Timing simulation)이 반드시 필요하다.

2. 개발모듈에 내장된 XC6SLX9 이란?


자일링스(Xilinx)사의 FPGA Sprtan-6 계열의 고용량, 저비용의 전자시스템에 적합하도록 설계되어 나온 제품이다. 총 13가지 종류로 나누어져 있으며 3,840~147,443 로직 셀로 구성되어 있다. 반도체 내부는 45nM의 공정기술로 더욱 효율적이면서 미세하게 FPGA의 게이트를 설계 할 수 있게 되었다. 또한, 이전 제품의 Spartan-3 계열보다 향상된 소비전력, 증가 된 로직 셀과 내부 Block Ram의 용량, I/O 개수 증가, DSP블록, PCI Express, DDR SDRAM memory controller를 가지고 있어 더욱 넓은 활용



<그림 1-1> 개발모듈 사진



<그림 1-2> FPGA 내부구조는

TITLE: Documents		SPARTAN6 개발모듈 LD4	LK Development Team
Status	Revision Date Doc Kenneth Lee		

범위를 가지고 있으면, 가격 또한 이전 버전의 계열보다 저렴해 졌다. Spartan-6 계열의 발전된 프로세서 기술을 사용한 향상된 기능들은 프로그램이 가능한 로직 프로세서 산업에 있어서 FPGA의 새로운 표준을 제시하고 있다. 이러한 고효율 및 적은비용 때문에 Sptan-6 계열의 FPGA는 통신, 가전제품, 영상처리, 신호처리 등을 사용하는 여러 제품에 사용 되고 있다. 또한 주문형 반도체인 ASIC을 대체 할 수 있는 획기적인 솔루션으로 각광을 받고 있다 아래 표에서 자일링스(Xilinx)사의 Spartan-6계열의 각각의 특징 및 사이즈를 확인 할 수 있다.



Spartan-6 Family Overview

Spartan-6 FPGA Feature Summary


Table 1: Spartan-6 FPGA Feature Summary by Device

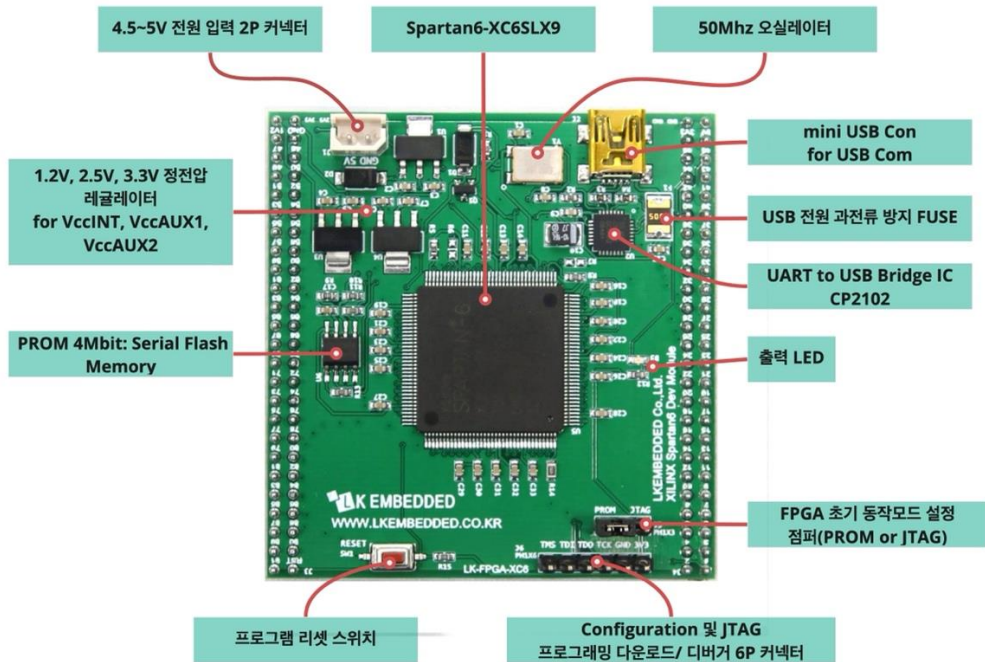
Device	Logic Cells ⁽¹⁾	Configurable Logic Blocks (CLBs)			DSP48A1 Slices ⁽³⁾	Block RAM Blocks		CMTs ⁽⁵⁾	Memory Controller Blocks (Max) ⁽⁶⁾	Endpoint Blocks for PCI Express	Maximum GTP Transceivers	Total I/O Banks	Max User I/O
		Slices ⁽²⁾	Flip-Flops	Max Distributed RAM (Kb)		18 Kb ⁽⁴⁾	Max (Kb)						
XC6SLX4	3,840	600	4,800	75	8	12	216	2	0	0	0	4	132
XC6SLX9	9,152	1,430	11,440	90	16	32	576	2	2	0	0	4	200
XC6SLX16	14,579	2,278	18,224	136	32	32	576	2	2	0	0	4	232
XC6SLX25	24,051	3,758	30,064	229	38	52	936	2	2	0	0	4	266
XC6SLX45	43,661	6,822	54,576	401	58	116	2,088	4	2	0	0	4	358
XC6SLX75	74,637	11,662	93,296	692	132	172	3,096	6	4	0	0	6	408
XC6SLX100	101,261	15,822	126,576	976	180	268	4,824	6	4	0	0	6	480
XC6SLX150	147,443	23,038	184,304	1,355	180	268	4,824	6	4	0	0	6	576
XC6SLX25T	24,051	3,758	30,064	229	38	52	936	2	2	1	2	4	250
XC6SLX45T	43,661	6,822	54,576	401	58	116	2,088	4	2	1	4	4	296
XC6SLX75T	74,637	11,662	93,296	692	132	172	3,096	6	4	1	8	6	348
XC6SLX100T	101,261	15,822	126,576	976	180	268	4,824	6	4	1	8	6	498
XC6SLX150T	147,443	23,038	184,304	1,355	180	268	4,824	6	4	1	8	6	540

<그림 1-3> Xilinx사의 Sptan-6 종류 및 특징

3. 제품특징

- 자일링스사의 Spartan6 Family, XC6SLX9 FPGA 내장
- 91 개의 입출력 포트 및 전원 핀을 2 열 핀헤더 커넥터로 연결하여 확장
- VccINT, VccAUX1, VccAUX2 에 3 가지 FPGA 코어 전압 제공
- 1Mbits 에 USB 통신속도를 제공하는 USB Bride IC 내장
- 프로그래밍 가능한 4M Configuration Flash ROM 내장
- 50Mhz 오실레이터, 리셋 스위치, IDLE LED 내장
- 몰렉스 2P 전원 커넥터에 4.5~5V 외부 전원 입력 가능
- PTC 퓨즈가 내장된 USB 전원 사용시 외부전원을 차단해 보다 안정적인 구동이 가능, 단 최대 500mA 까지 USB 전원으로 사용 가능
- 자일링스 플랫폼 케이블 USB 를 이용하여 프로그램 다운로드 및 디버깅 가능
- ISE Webpack Design SW 에 내장된 칩 스코프 프로(Chip Scope Pro)를 이용해 JTAG 디버깅 가능

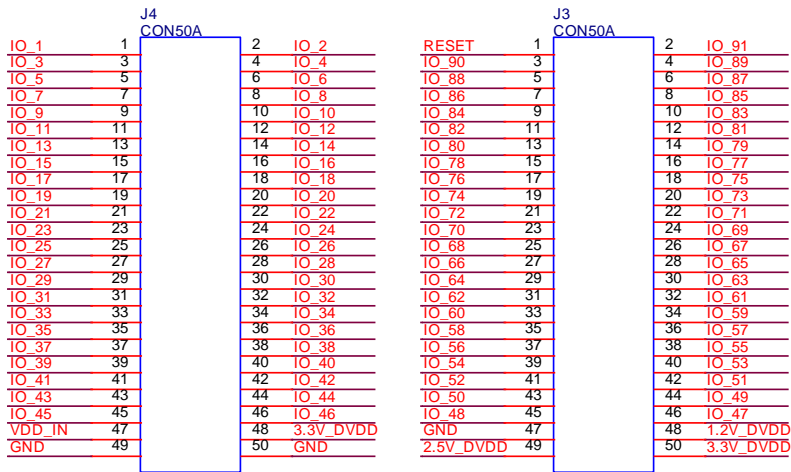
TITLE: Documents		SPARTAN6 개발모듈 LD4	LK Development Team
Status	Revision Date Doc Kenneth Lee		



<그림 1-4> LK-FPGA-XC6 개발모듈 구성

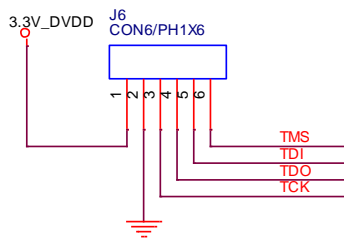
4. 커넥터 정보

- 2x25 핀 헤더 커넥터 핀 배치



<그림 1-5> 핀 헤더(2.54mm Pitch) 커넥터

- Configuration 및 JTAG 커넥터 핀 배치



<그림 1-6> Configuration 및 JTAG 프로그래밍 다운로드/디버거 6P 커넥터

5. FPGA 프로그래밍



<그림 1-7> FPGA 자일링스(Xilinx) 플랫폼 케이블 USB 다운로드를 연결한 모습

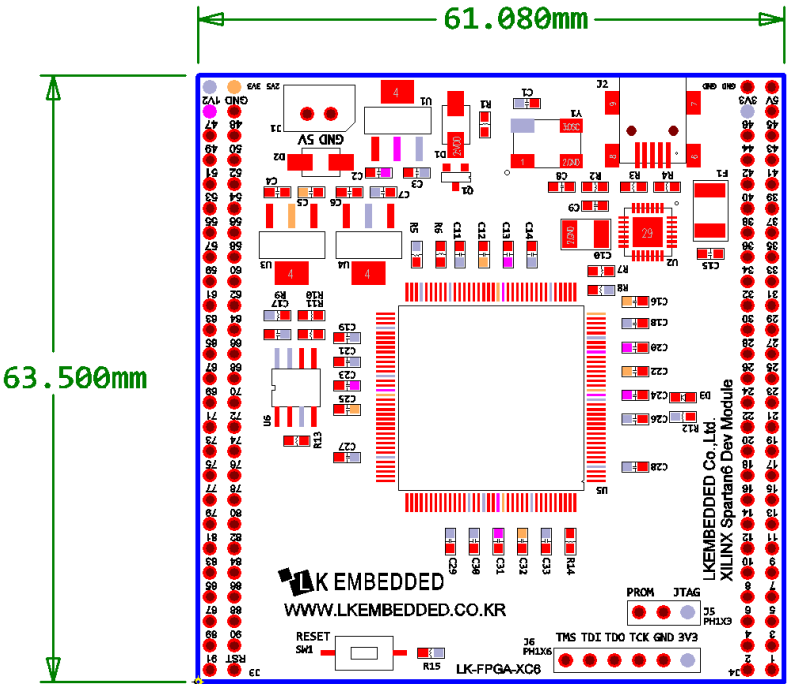
SRAM 기반 휘발성 메모리로 구성된 FPGA에 사용자가 Verilog HDL 및 VHDL로 설계한 하드웨어 정보를 프로그램 다운로드 하는 과정을 FPGA 개발툴을 다룰때는 Configuration이라고 한다. Configuration 방법은 JTAG 케이블을 사용하여 PROM에 Configuration 하거나 PROM 없이 FPGA에 직접 Configuration 할 수 있다. <그림 1-7>처럼 자일링스 전용 다운로드 USB 케이블을 개발모듈에 연결하여 FPGA 및 PROM Configuration 및 디버깅 동작을 수행할 수 있다.

- Configuration 및 디버깅 동작을 위한 1x6 핀 헤더 커넥터


1	2	3	4	5	6
3.3V	GND	TCK	TDO	TDI	TMS

<표 1-1> Configuration 및 디버깅 핀배치

6. 제품 Dimension



<그림 1-8> 개발모듈 외형 치수

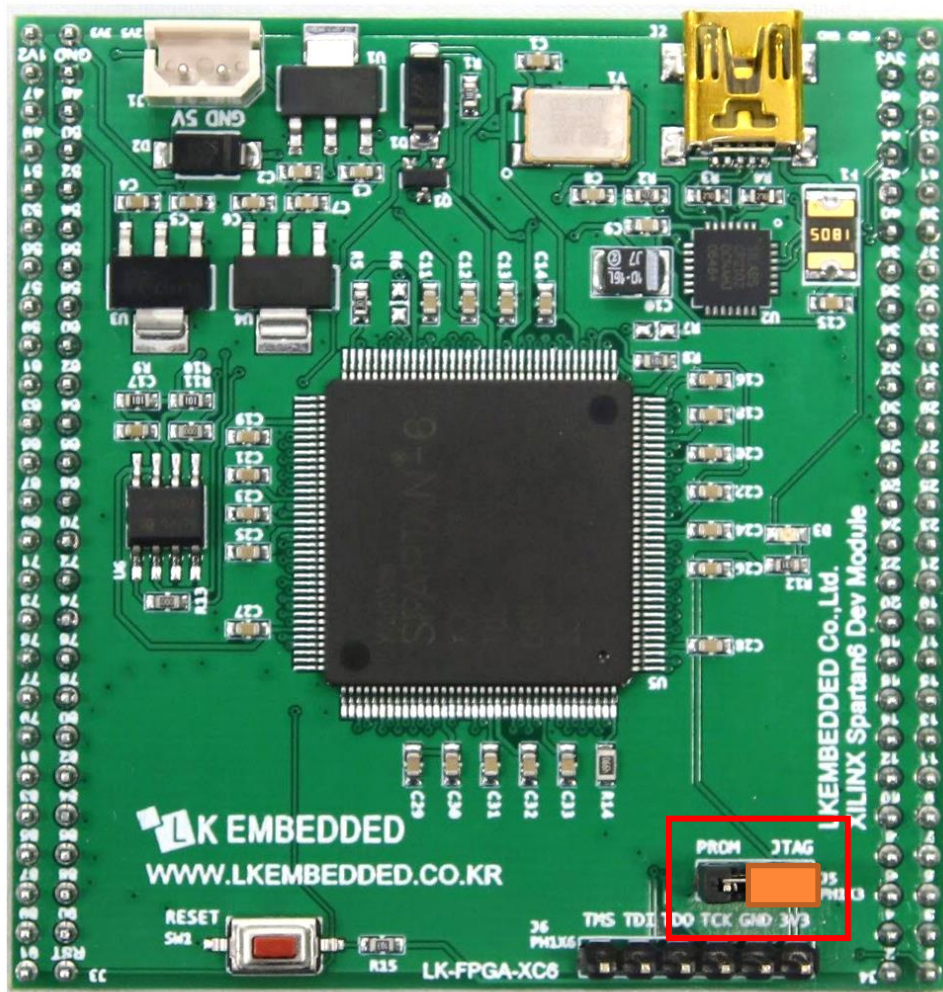
TITLE: Documents		SPARTAN6 개발모듈 LD4	LK Development Team
Status	Revision Date Doc Kenneth Lee		

제품 사용방법


1. FPGA 라이트 및 JTAG 디버그 Mode

FPGA 내부 SRAM 메모리에 직접 데이터를 라이팅 및 디버깅 하는 방법으로 ISE Webpack Design 개발 S/W에 내장된 iMPACT 및 칩 스코프로 프로를 사용하여 프로그래밍 및 디버그 할 수 있다.

JTAG 디버그 모드 사용할 시에는 아래사진처럼 점퍼를 설정해야 한다. 만일 점퍼설정이 아래와 다를경우 디버깅 동작이 원활하게 동작되지 않을 수 있으니 주의해야 한다.

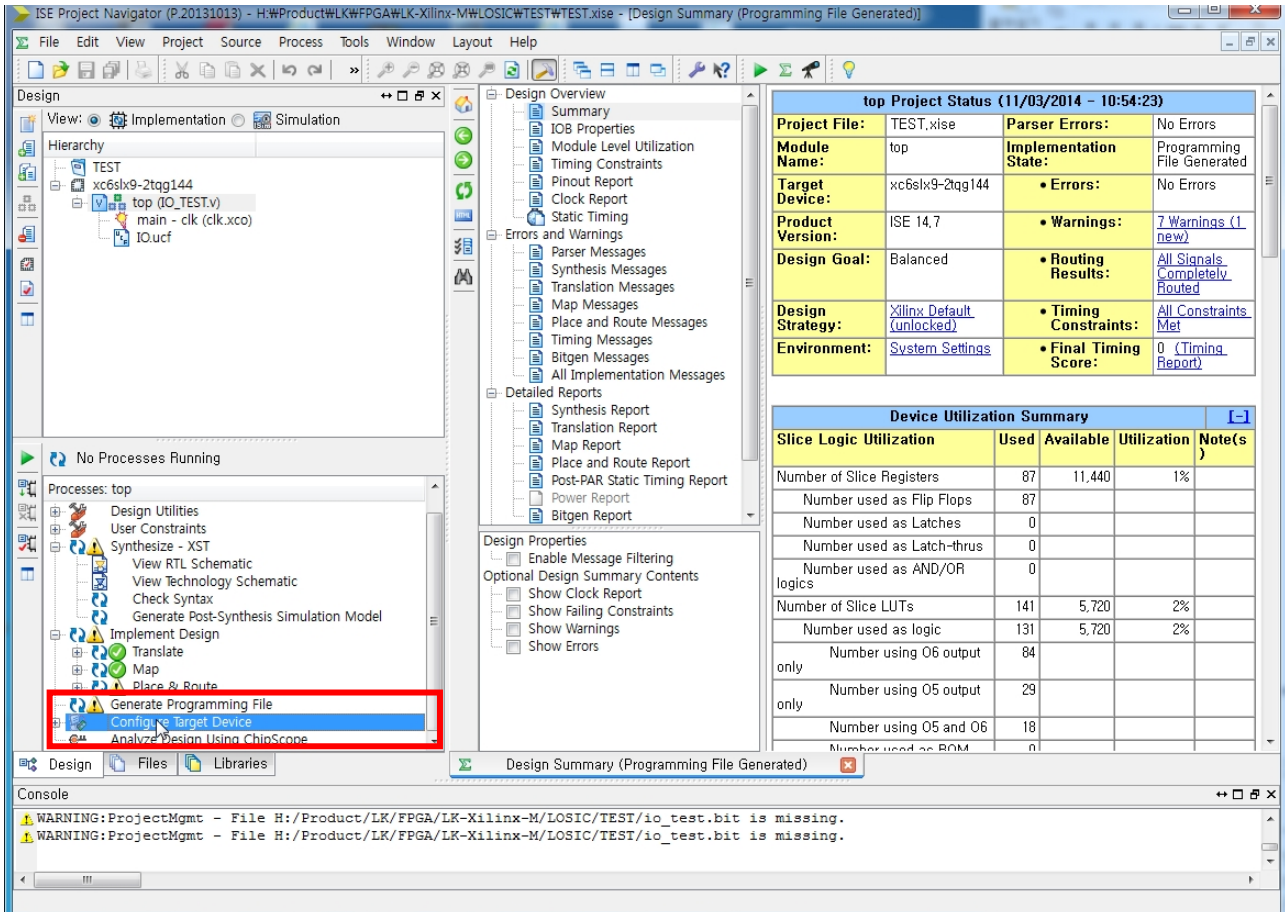


<그림 1-9> 점퍼를 JTAG 방향으로 꼽은 사진

TITLE: Documents		SPARTAN6 개발모듈 LD4	LK Development Team	
Status	Revision Date Doc Kenneth Lee			

- FPGA 라이트(Configuration) 실행 과정

Generate Programming File 을 더블클릭하여 Bit 파일을 생성한다. Bit 파일 생성 후 아래와 같이 **Configure Target Device** 를 클릭한다.



The screenshot shows the Xilinx ISE Project Navigator interface. In the 'Processes' pane on the left, the 'Generate Programming File' option is highlighted with a red box. The 'Design Summary' window is open on the right, displaying project status and device utilization.

top Project Status (11/03/2014 - 10:54:23)

Project File:	TEST.xise	Parser Errors:	No Errors
Module Name:	top	Implementation State:	Programming File Generated
Target Device:	xc6slx9-2tgg144	Errors:	No Errors
Product Version:	ISE 14.7	Warnings:	7 Warnings (1 new)
Design Goal:	Balanced	Routing Results:	All Signals Completely Routed
Design Strategy:	Xilinx Default (unlocked)	Timing Constraints:	All Constraints Met
Environment:	System Settings	Final Timing Score:	0 (Timing Report)


Device Utilization Summary

Slice Logic Utilization	Used	Available	Utilization	Note(s)
Number of Slice Registers	87	11,440	1%	
Number used as Flip Flops	87			
Number used as Latches	0			
Number used as Latch-thrus	0			
Number used as AND/OR logics	0			
Number of Slice LUTs	141	5,720	2%	
Number used as logic	131	5,720	2%	
Number using O6 output only	84			
Number using O5 output only	29			
Number using O5 and O6	18			
Number used as ROM	0			

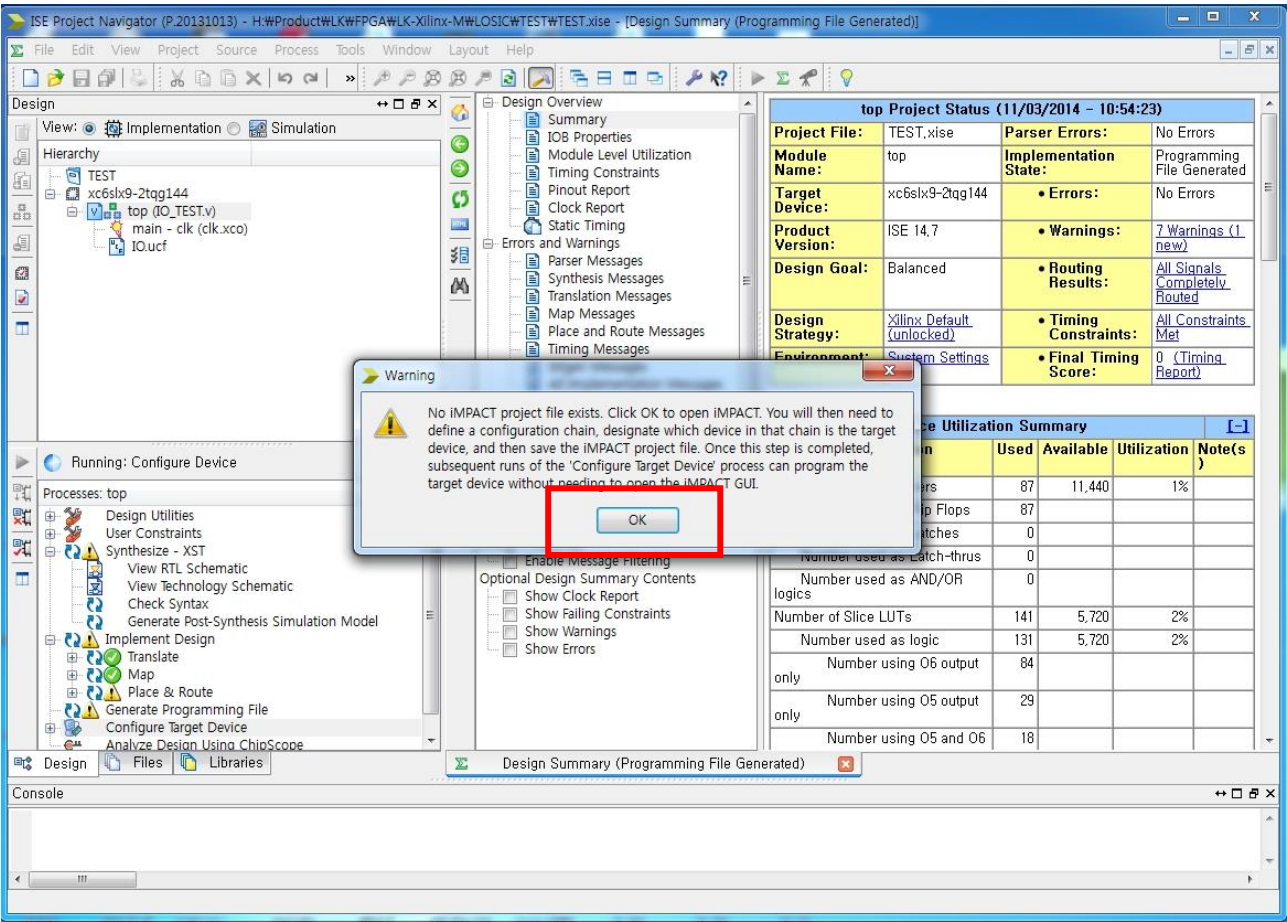
Console


```

WARNING:ProjectMgmt - File H:/Product/LK/FPGA/LK-Xilinx-M/LOSIC/TEST/io_test.bit is missing.
WARNING:ProjectMgmt - File H:/Product/LK/FPGA/LK-Xilinx-M/LOSIC/TEST/io_test.bit is missing.
  
```

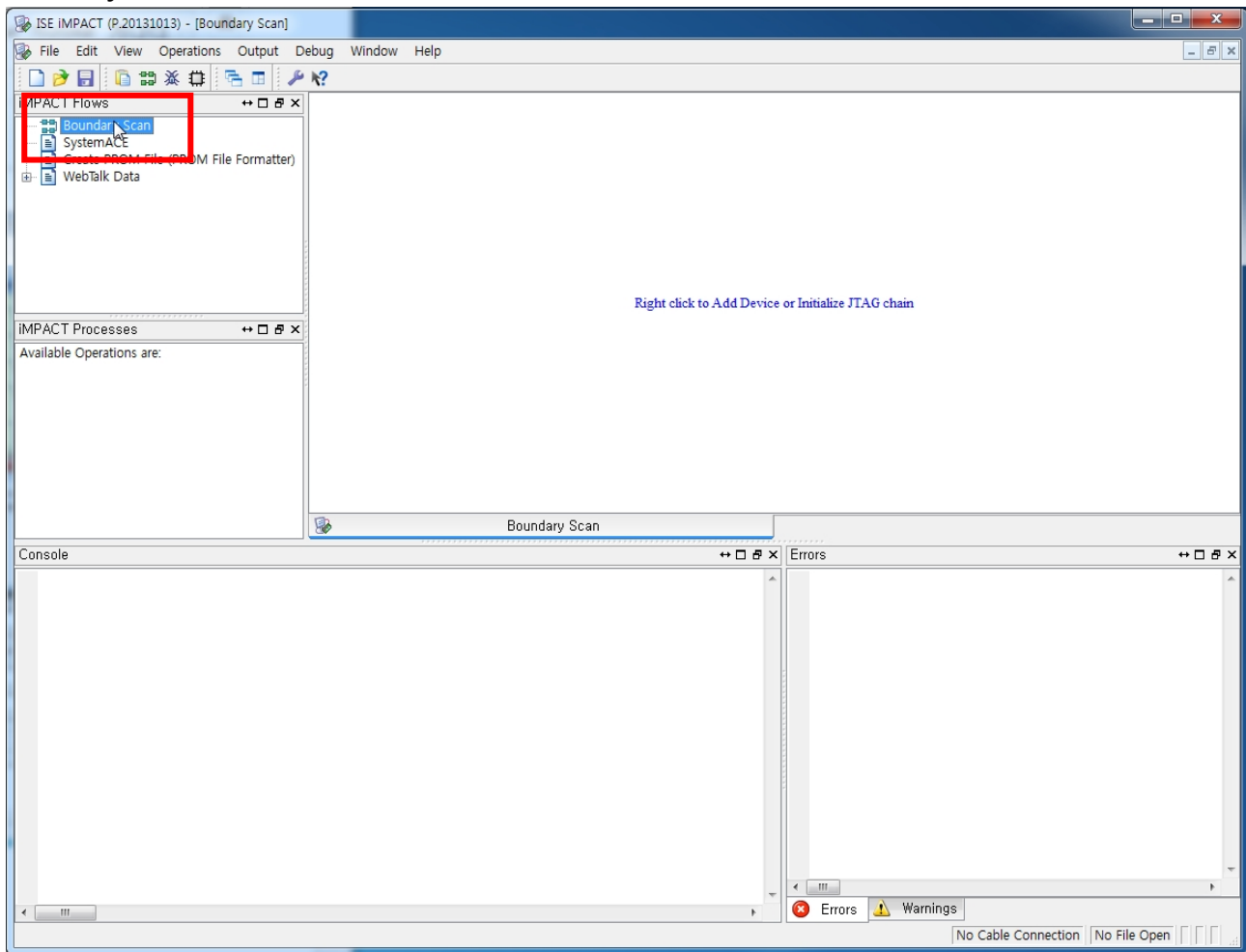
TITLE: Documents		SPARTAN6 개발모듈 LD4	LK Development Team 
Status	Revision		
	Date Doc Kenneth Lee		


OK 버튼을 클릭한다.



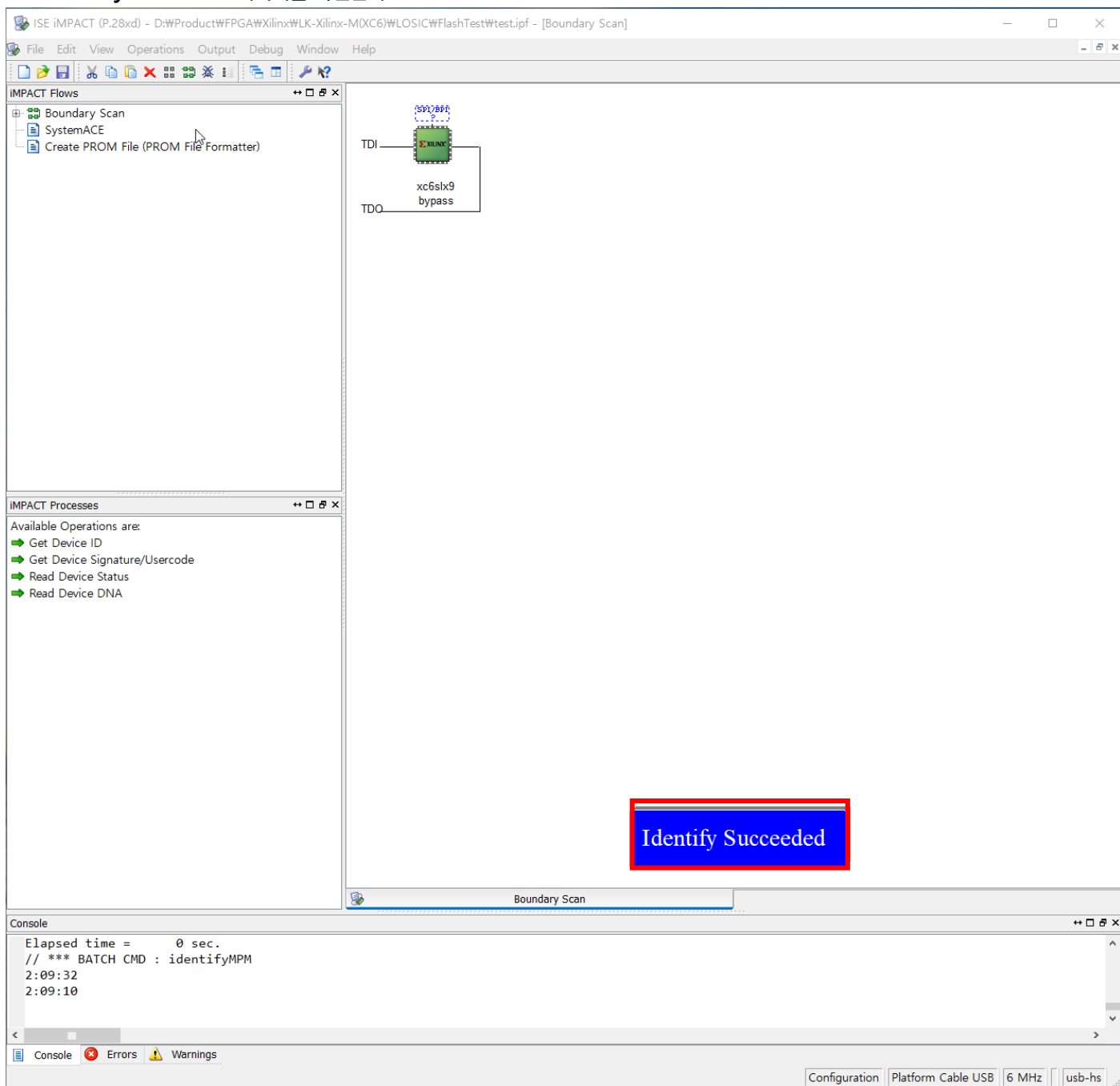
TITLE: Documents		SPARTAN6 개발모듈 LD4	LK Development Team
Status	Revision		
	Date Doc Kenneth Lee		

Boundary Scan 메뉴를 클릭한다.



TITLE: Documents		SPARTAN6 개발모듈 LD4	LK Development Team
Status	Revision Date Doc Kenneth Lee		


Identify Succeeded 메시지를 확인한다.



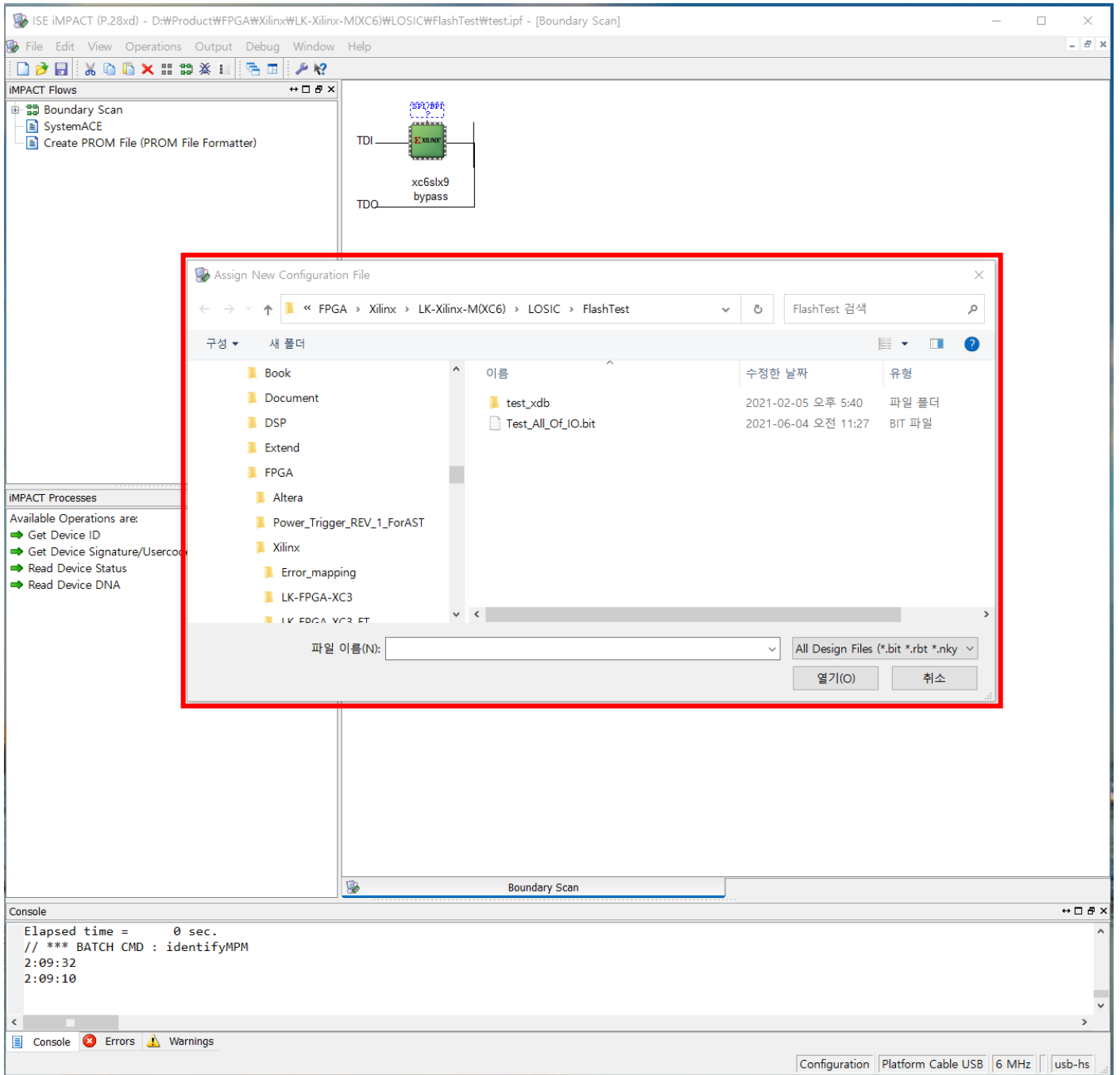
The screenshot shows the ISE Impact software interface. The main window displays a circuit diagram with a TDI/TDO connection to an xc6slx9 device. A blue box with a red border highlights the text "Identify Succeeded". The console at the bottom shows the command "identifyMPM" and a successful response.

Console Output:

```
Elapsed time = 0 sec.
// *** BATCH CMD : identifyMPM
2:09:32
2:09:10
```

TITLE: Documents		SPARTAN6 개발모듈 LD4	LK Development Team 
Status	Revision Date Doc Kenneth Lee		

xc6slx9 FPGA 아이콘을 두 번 클릭 한 후 프로젝트 폴더에 있는 Bit 파일을 불러온다.




The screenshot shows the ISE iMPACT software interface. The main window displays the 'Boundary Scan' configuration for an 'xc6slx9 bypass' device. A dialog box titled 'Assign New Configuration File' is open, showing a file explorer view of the project directory. The file 'Test_All_Of_IO.bit' is selected. The console window at the bottom shows the output of the 'identifyMPM' command.

Console Output:

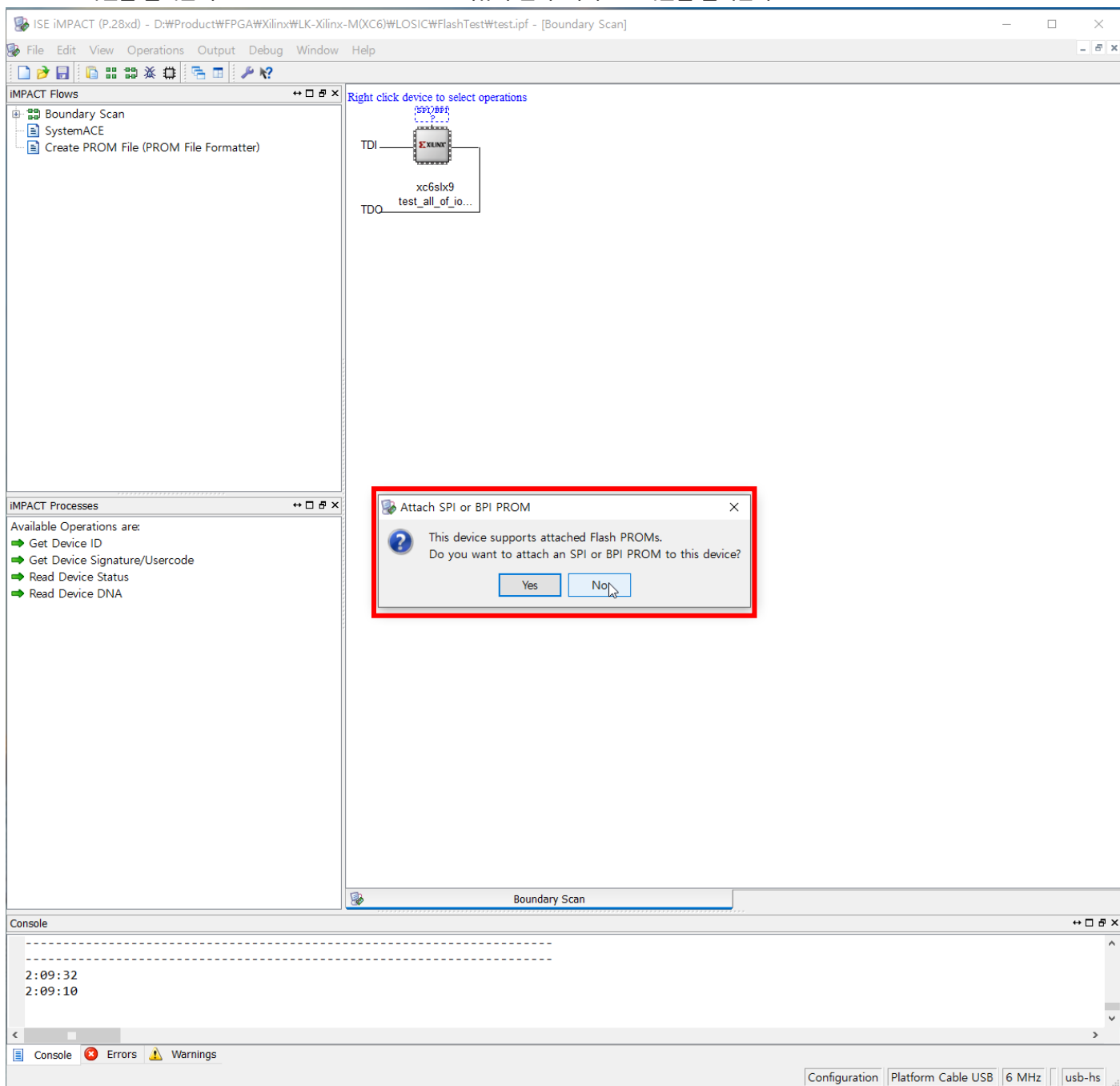
```


Elapsed time = 0 sec.
// *** BATCH CMD : identifyMPM
2:09:32
2:09:10

```

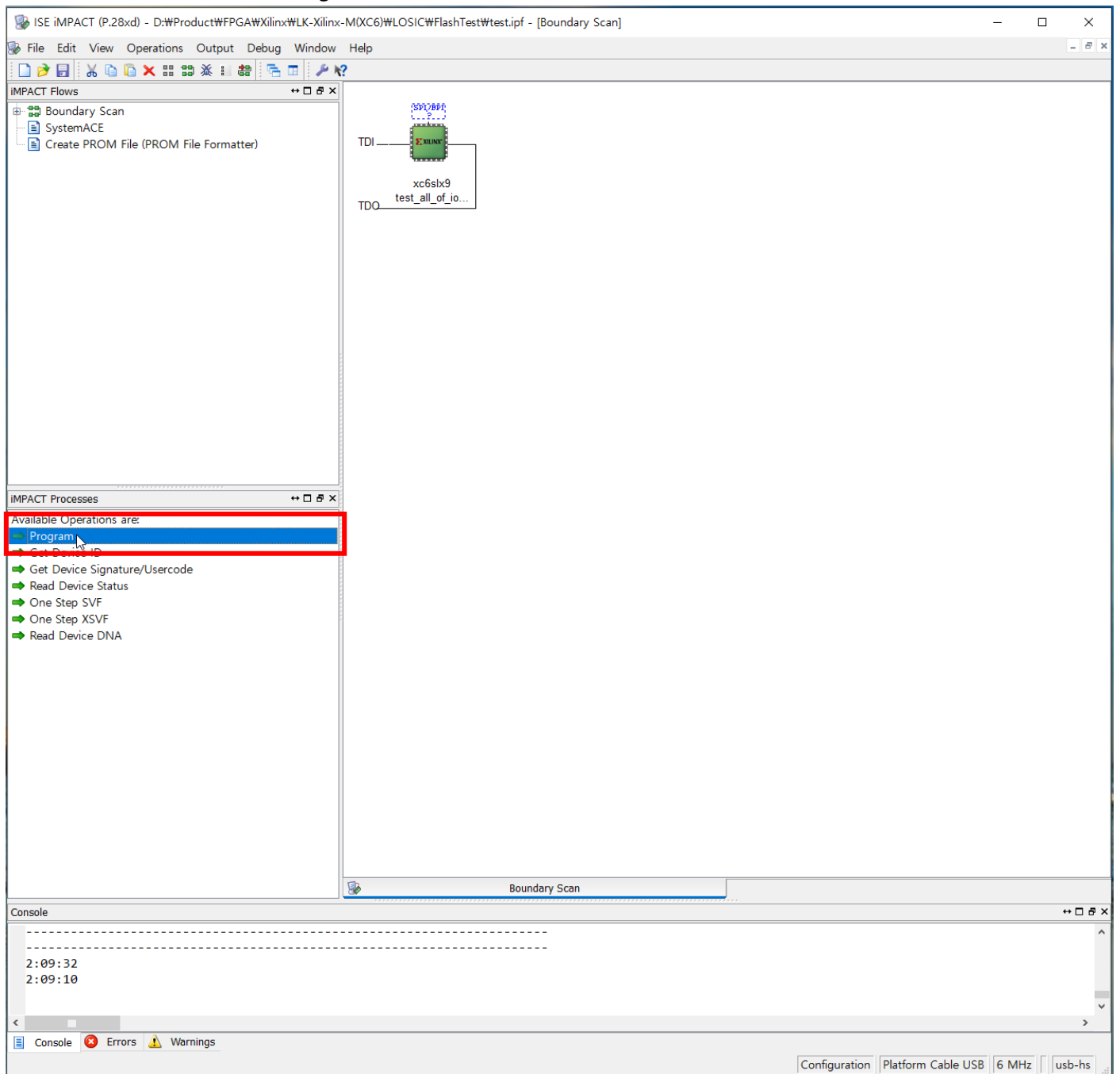

TITLE: Documents		SPARTAN6 개발모듈 LD4	LK Development Team
Status	Revision Date Doc Kenneth Lee		


Bit 파일을 불러온 후 **Attach SPI or BPI PROM** 메뉴가 뜬다. 이때 No 버튼을 클릭한다.



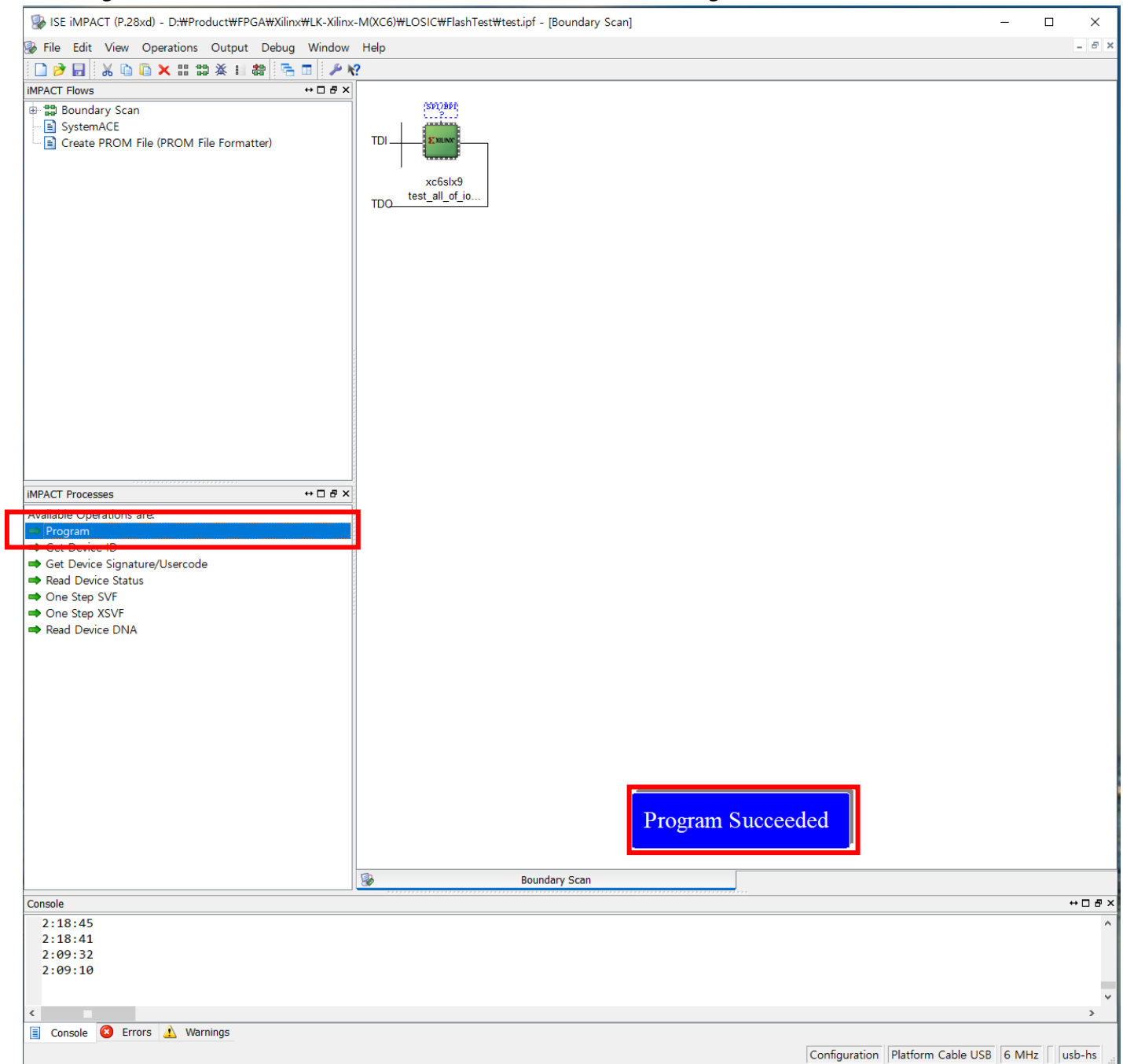
TITLE: Documents		SPARTAN6 개발모듈 LD4	LK Development Team
Status	Revision Date Doc Kenneth Lee		


IMPACT Processes 창에서 **Program** 화살표를 더블클릭한다.



TITLE: Documents		SPARTAN6 개발모듈 LD4	LK Development Team
Status	Revision Date Doc Kenneth Lee		

Program 화살표를 더블클릭하면 프로그래밍 상태창이 뜬후 아래 그림처럼 **Program Succeeded** 메시지가 나타난다.



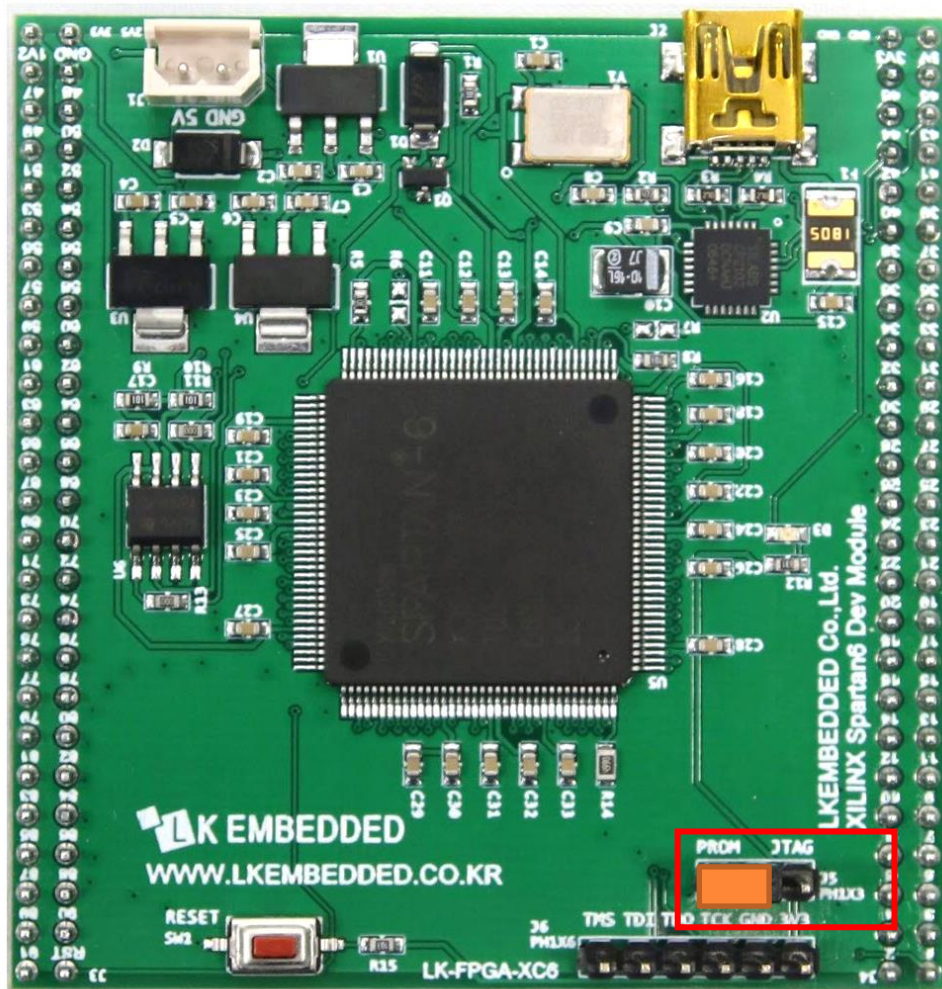
TITLE: Documents		SPARTAN6 개발모듈 LD4	LK Development Team
Status	Revision Date Doc Kenneth Lee		

2. PROM 라이트 Mode


FPGA 내부 SRAM 메모리에 프로그래밍하는 방법이 아닌 외부 플래시롬인 PROM에 데이터를 라이팅하는 방법으로 ISE Webpack Design 개발 S/W에 내장된 iMPACT 를 사용하여 프로그래밍할 수 있다.

부가적으로 이러한 프로그래밍 접근은 FPGA 내부에는 플래시롬이 없기 때문이다. 따라서 외부 플래시롬에 프로그램을 미리 넣어 개발모듈에 전원을 ON 시킬 때마다 외부 플래시롬에 데이터를 읽어들이어 FPGA를 프로그래밍한다. 이는 매번 전원을 켤때마다 FPGA를 프로그래밍해야 하는 번거로움을 해소할 수 있다.

PROM 라이트 모드 사용할 시에는 아래사진처럼 점퍼를 설정해야 한다. 만일 점퍼설정이 아래와 다를경우 PROM 라이팅이 원활하게 동작되지 않을 수 있으니 주의해야 한다.

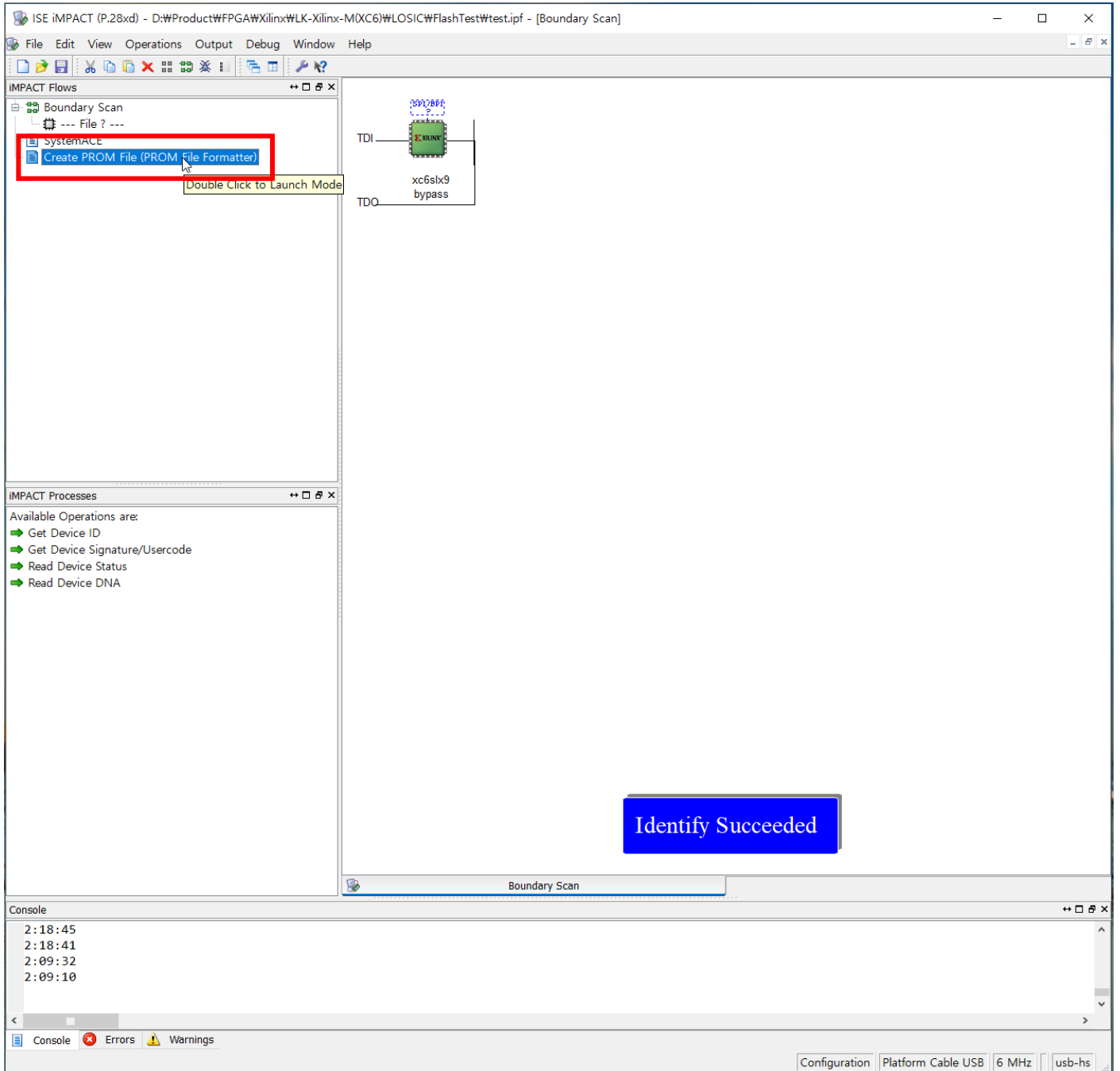


<그림 1-10> 점퍼를 PROM 방향으로 꼽은 사진

TITLE: Documents		SPARTAN6 개발모듈 LD4	LK Development Team
Status	Revision		
	Date Doc Kenneth Lee		

- PROM 파일 생성하기

Create PROM File 을 클릭한다.




The screenshot shows the ISE iMPACT (P.28xd) interface. In the 'IMPACT Flows' pane on the left, the 'Create PROM File (PROM File Formatter)' option is highlighted with a red box. A tooltip 'Double Click to Launch Mode' is visible. The 'IMPACT Processes' pane lists available operations: Get Device ID, Get Device Signature/Usercode, Read Device Status, and Read Device DNA. The console at the bottom displays the following log:

```

2:18:45
2:18:41
2:09:32
2:09:10

```

A blue box with the text 'Identify Succeeded' is overlaid on the right side of the interface. The status bar at the bottom indicates 'Configuration | Platform Cable USB | 6 MHz | usb-hs'.

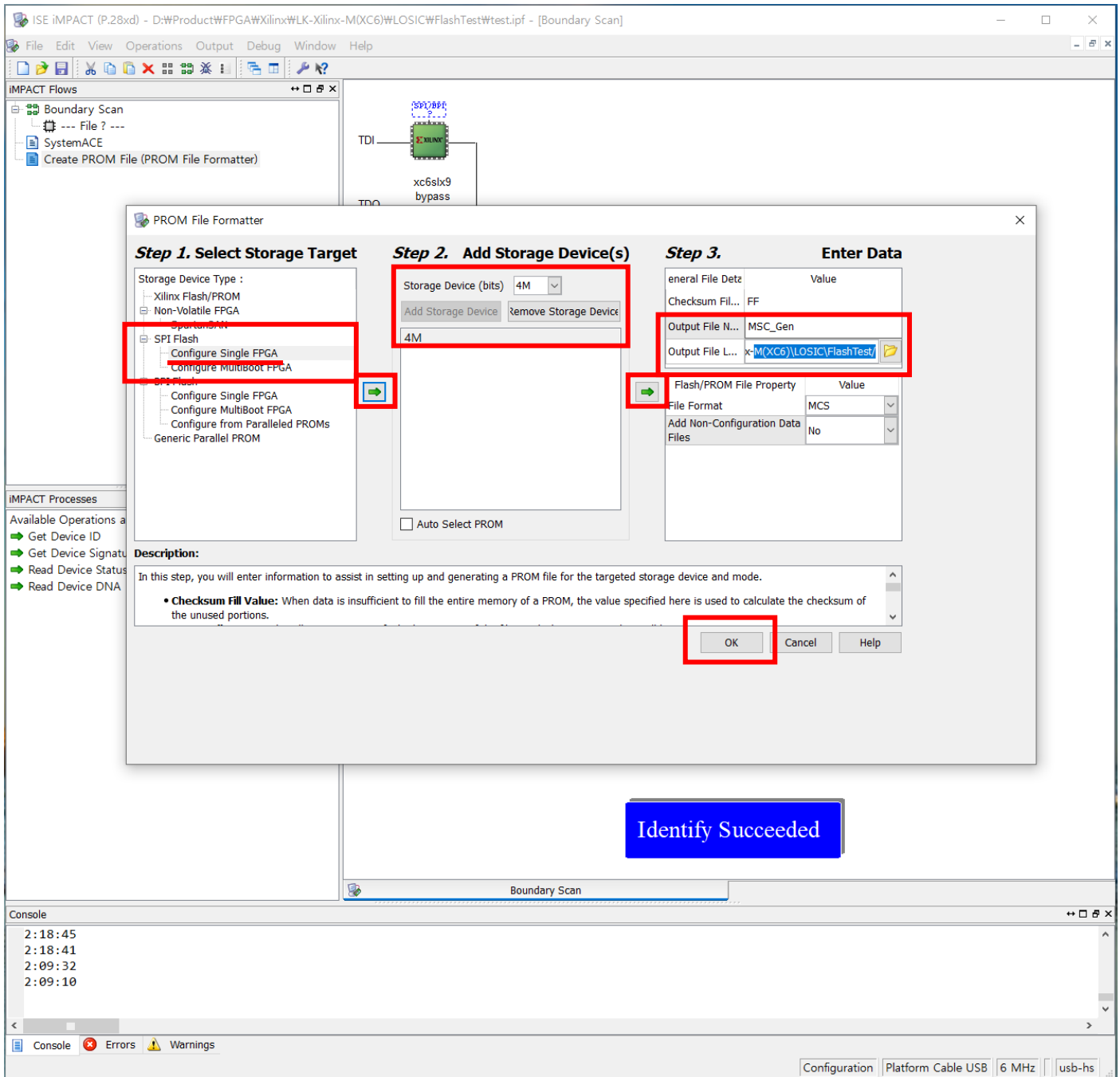
TITLE: Documents		SPARTAN6 개발모듈 LD4	LK Development Team 
Status	Revision Date Doc Kenneth Lee		

Step 1에서 **Configure Single FPGA** 을 선택후 우측 화살표를 선택한다.

Step 2에서 **Storage Device** 에서 4M을 선택후 Add Storage Device 버튼을 클릭한다. 4M 추가 후 우측 화살표를 선택한다.

Step3에서는 PROM 파일 이름과 저장될 위치를 지정한다. **Output File Name, Output file Location** 영역에서 출력 파일 이름 입력 후 파일이 저장될 디렉토리를 지정 한다.

위 설정을 마쳤다면 하단에 OK 버튼을 눌러 **PROM File Formatter** 메뉴를 종료 한다.



ISE iMPACT (P.28xd) - D:\Product\WPGA\Xilinx\WK-Xilinx-M(XC6)\WLOSIC\FlashTest\Wtest.ipf - [Boundary Scan]

IMPACT Flows

- Boundary Scan
- File ?
- SystemACE
- Create PROM File (PROM File Formatter)

IMPACT Processes

- Available Operations
- Get Device ID
- Get Device Signature
- Read Device Status
- Read Device DNA

PROM File Formatter

Step 1. Select Storage Target

Storage Device Type :

- Xilinx Flash/PROM
- Non-Volatile FPGA
- SPI Flash
 - Configure Single FPGA
 - Configure MultiBoot FPGA
- Configure Single FPGA
- Configure MultiBoot FPGA
- Configure from Paralleled PROMs
- Generic Parallel PROM

Step 2. Add Storage Device(s)

Storage Device (bits) 4M

Add Storage Device Remove Storage Device

4M

☐ Auto Select PROM

Step 3. Enter Data

General File Data Value

Checksum Fill... FF

Output File Name... MSC_Gen

Output File Location... x:\M(XC6)\LOSIC\FlashTest\

Flash/PROM File Property Value

File Format MCS

Add Non-Configuration Data Files No

Description:

In this step, you will enter information to assist in setting up and generating a PROM file for the targeted storage device and mode.

- Checksum Fill Value:** When data is insufficient to fill the entire memory of a PROM, the value specified here is used to calculate the checksum of the unused portions.

OK Cancel Help

Identify Succeeded

Boundary Scan


Console

```

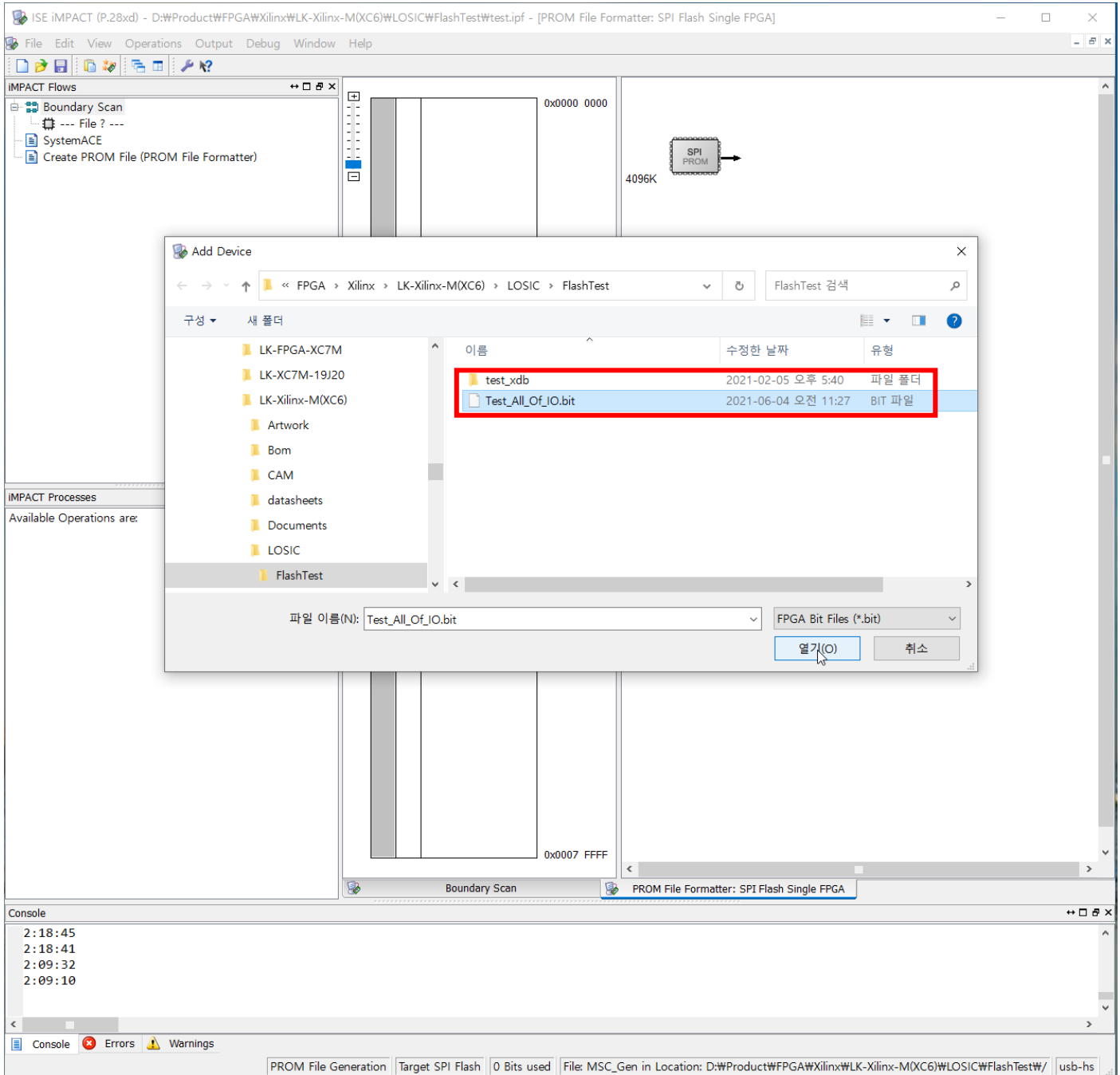
2:18:45
2:18:41
2:09:32
2:09:10


```

Configuration Platform Cable USB 6 MHz usb-hs

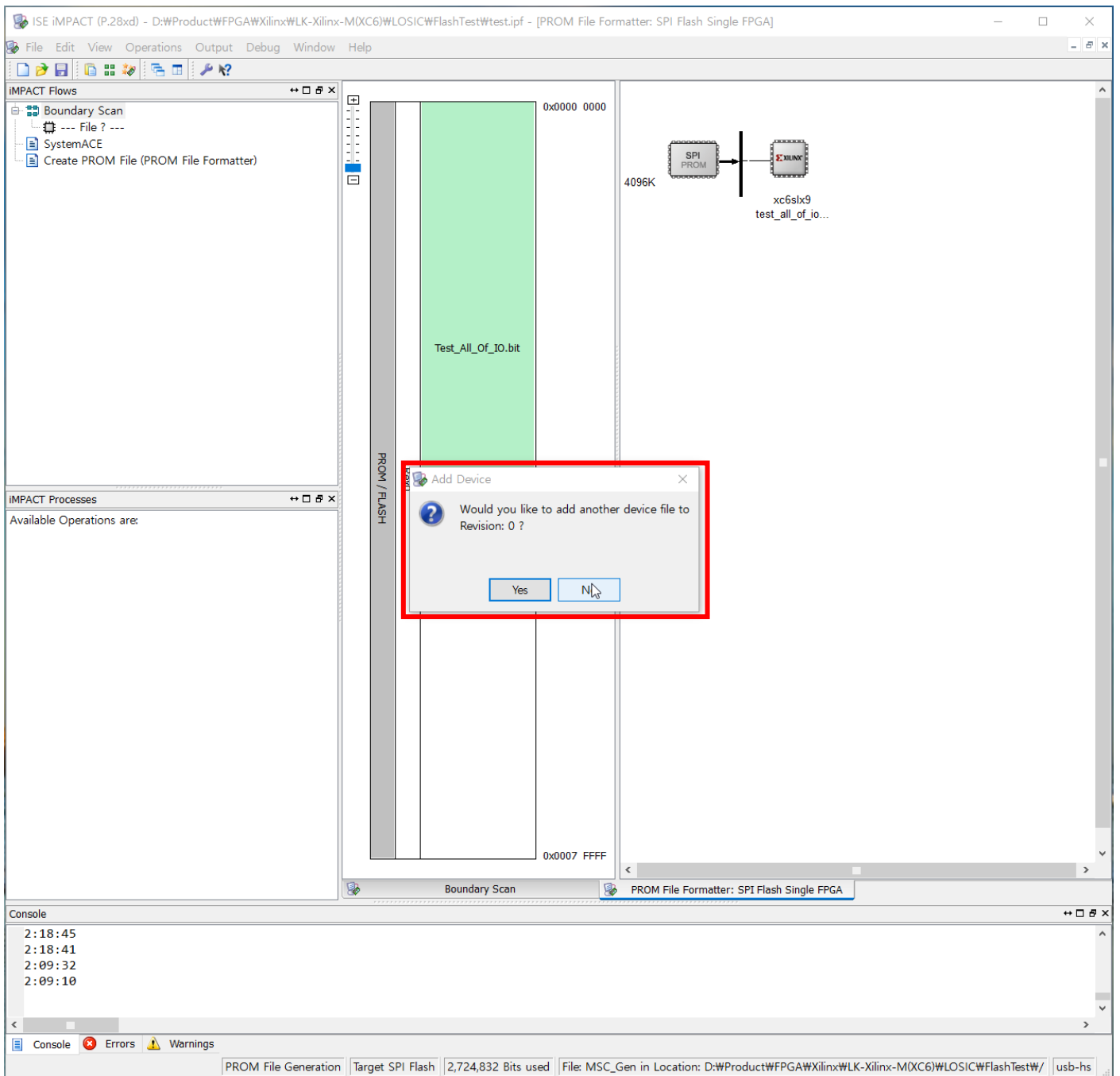
TITLE: Documents		SPARTAN6 개발모듈 LD4	LK Development Team 
Status	Revision		
	Date Doc Kenneth Lee		

위 단계를 마친 후 Add Device 메뉴가 뜨는데 OK버튼을 클릭한다. 클릭후 아래 그림처럼 PROM 파일로 변환 할 프로그램(xxx.Bit)을 선택 후 열기 버튼을 클릭한다.




TITLE: Documents		SPARTAN6 개발모듈 LD4	LK Development Team
Status	Revision Date Doc Kenneth Lee		

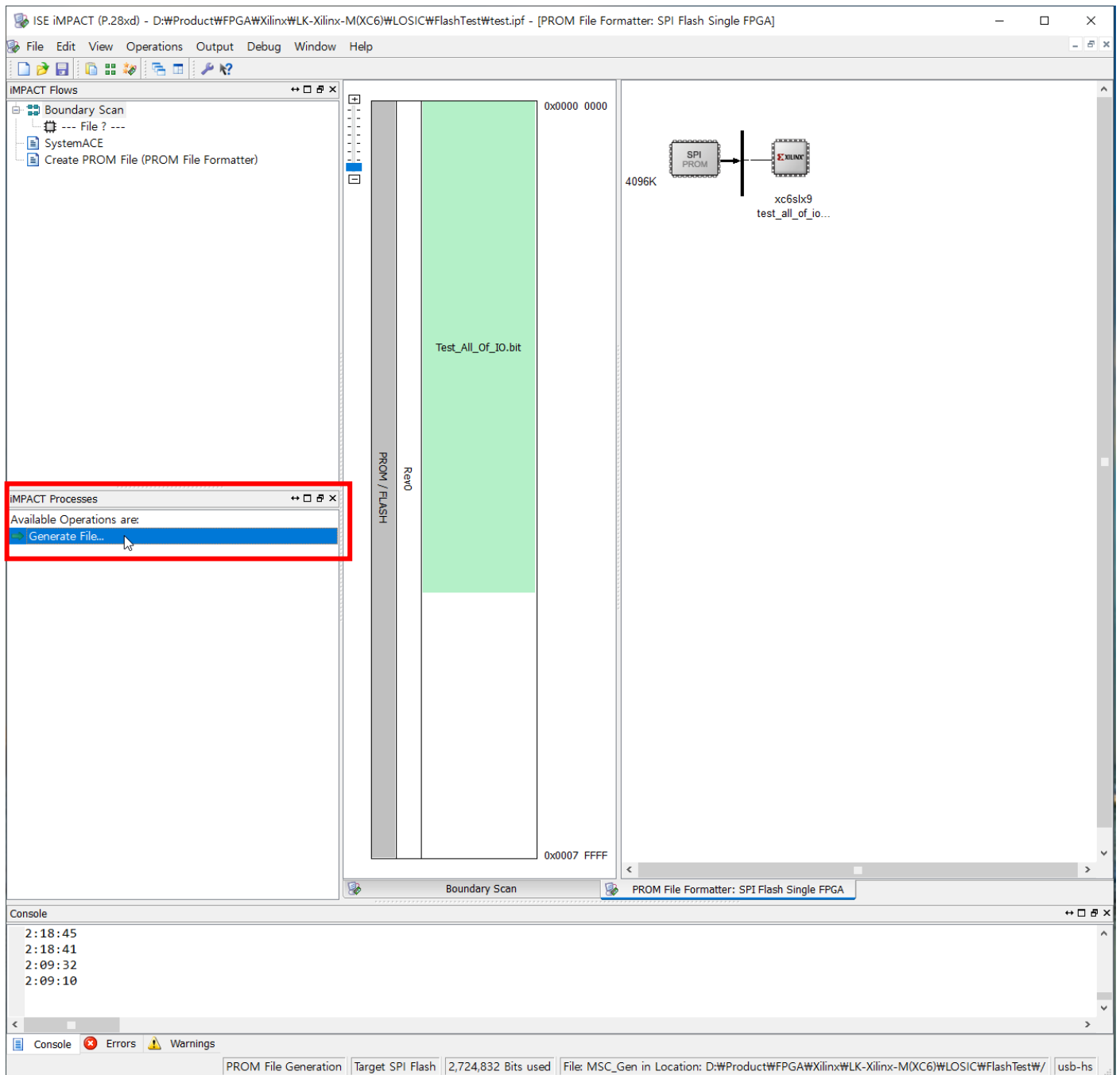
Bit파일(프로그램)을 선택 후 추가 Bit파일이 있는지 확인창이 뜨는데 NO 버튼을 클릭한다.




The screenshot shows the ISE IMPACT software interface. The 'IMPACT Flows' panel on the left has 'Create PROM File (PROM File Formatter)' selected. The 'IMPACT Processes' panel below it shows 'Available Operations are:'. The main workspace displays a diagram of the SPI PROM and the device 'xc6slx9 test_all_of_io...'. A dialog box titled 'Add Device' is open in the center, asking 'Would you like to add another device file to Revision: 0 ?' with 'Yes' and 'No' buttons. The 'No' button is highlighted with a red box. The console at the bottom shows timestamps: 2:18:45, 2:18:41, 2:09:32, 2:09:10.

TITLE: Documents		SPARTAN6 개발모듈 LD4	LK Development Team
Status	Revision Date Doc Kenneth Lee		

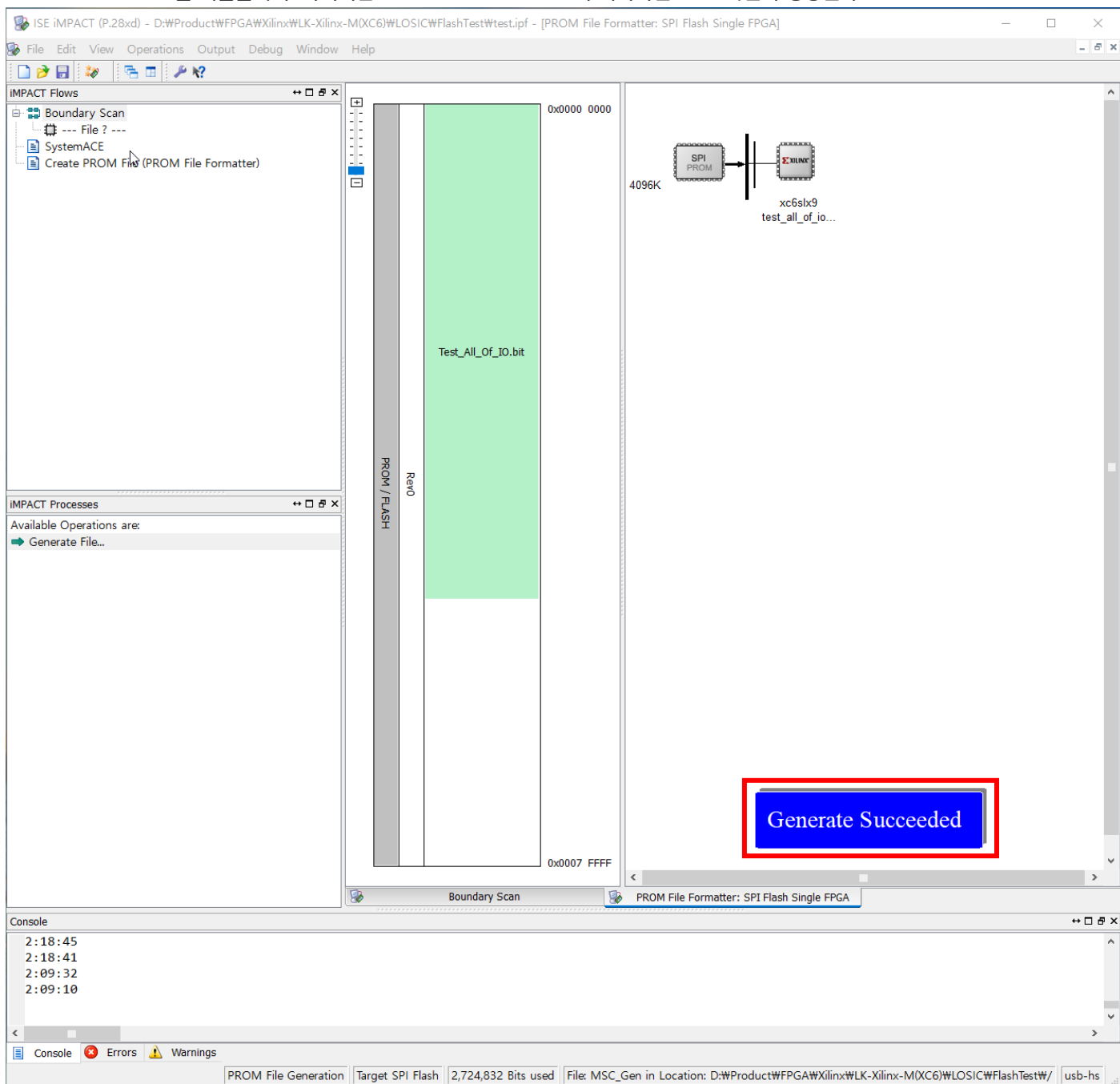
PROM에 넣을 MCS파일을 생성하기 위하여 아래와 같이 화살표 **Generate File** 을 더블클릭한다.



The screenshot shows the ISE iMPACT (P.28xd) interface. The main window displays a memory map for 'Test_All_Of_IO.bit' with a range from 0x0000 0000 to 0x0007 FFFF. The 'IMPACT Flows' pane on the left lists 'Boundary Scan', '--- File ? ---', 'SystemACE', and 'Create PROM File (PROM File Formatter)'. The 'IMPACT Processes' pane at the bottom left shows 'Available Operations are:' with 'Generate File...' highlighted. The 'Console' pane at the bottom shows a timestamp of 2:09:10. The status bar at the bottom indicates 'PROM File Generation', 'Target SPI Flash', '2,724,832 Bits used', and the file location 'D:\Product\WFPGA\Xilinx\WK-Xilinx-M(XC6)\WLOSIC\FlashTest\usb-hs'.

TITLE: Documents		SPARTAN6 개발모듈 LD4	LK Development Team
Status	Revision Date Doc Kenneth Lee		

Generate File을 더블클릭 후 아래처럼 **Generate Succeeded** 가 나타나면 MCS 파일이 생성된다.



The screenshot displays the ISE iMPACT (P.28xd) interface. The title bar indicates the file path: D:\Product\WFGA\Xilinx\WK-Xilinx-M(XC6)\WLOSIC\FlashTest\test.ipf - [PROM File Formatter: SPI Flash Single FPGA].

The **IMPACT Flows** pane on the left shows a tree structure with the following items:

- Boundary Scan
- File ? ---
- SystemACE
- Create PROM File (PROM File Formatter)

The **IMPACT Processes** pane shows the available operations:

- Generate File...

The main workspace displays a diagram of the SPI PROM and the generated file, **Test_All_Of_IO.bit**, with a size of 4096K. The diagram shows the SPI PROM connected to the Xilinx device, with the file name **xc6sx9 test_all_of_io...** displayed.


A red box highlights the **Generate Succeeded** message in the bottom right corner of the workspace.

The **Console** pane at the bottom shows the following timestamps:

- 2:18:45
- 2:18:41
- 2:09:32
- 2:09:10

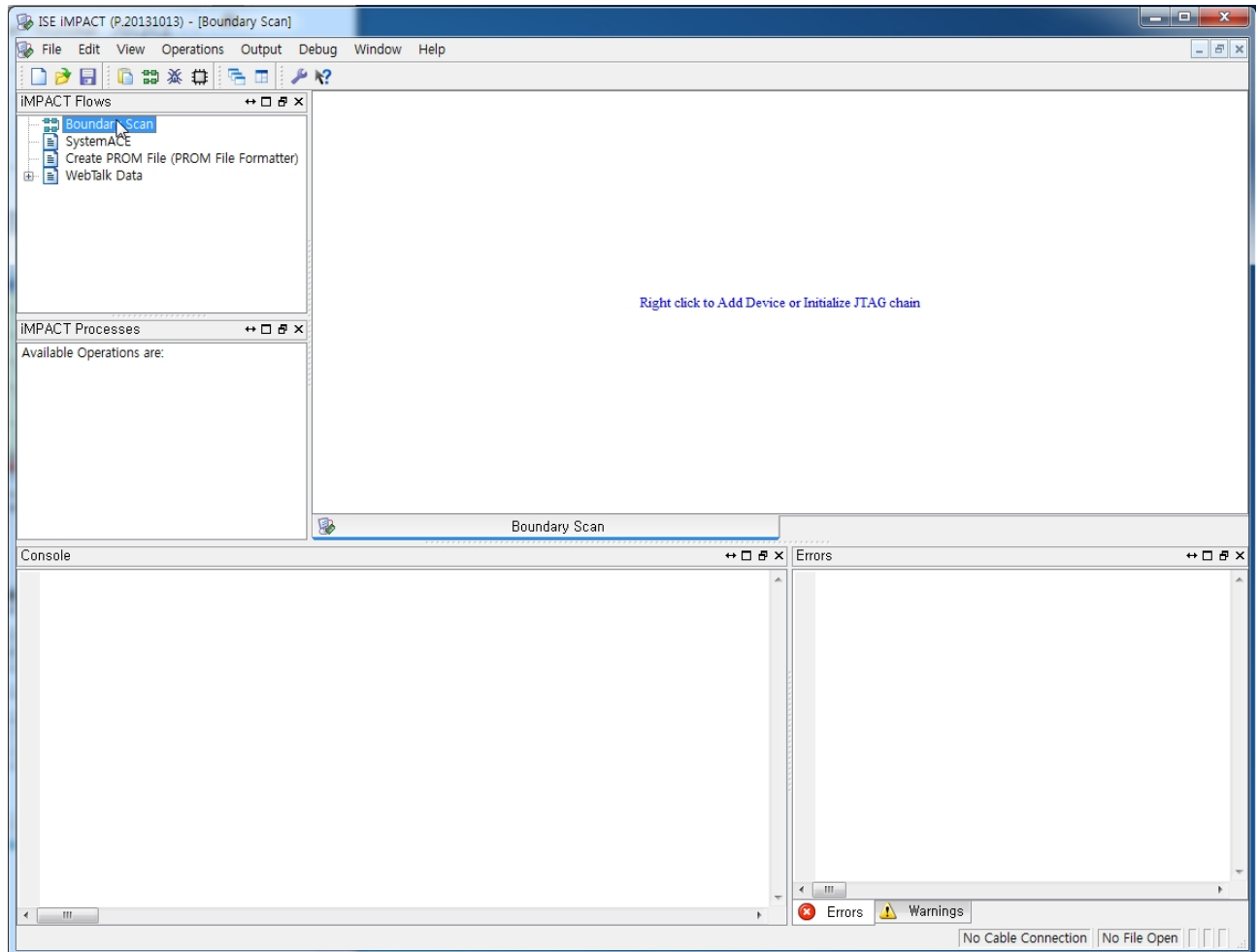
The status bar at the bottom indicates the following information:


- PROM File Generation
- Target SPI Flash
- 2,724,832 Bits used
- File: MSC_Gen in Location: D:\Product\WFGA\Xilinx\WK-Xilinx-M(XC6)\WLOSIC\FlashTest\usb-hs

TITLE: Documents		SPARTAN6 개발모듈 LD4	LK Development Team
Status	Revision Date Doc Kenneth Lee		

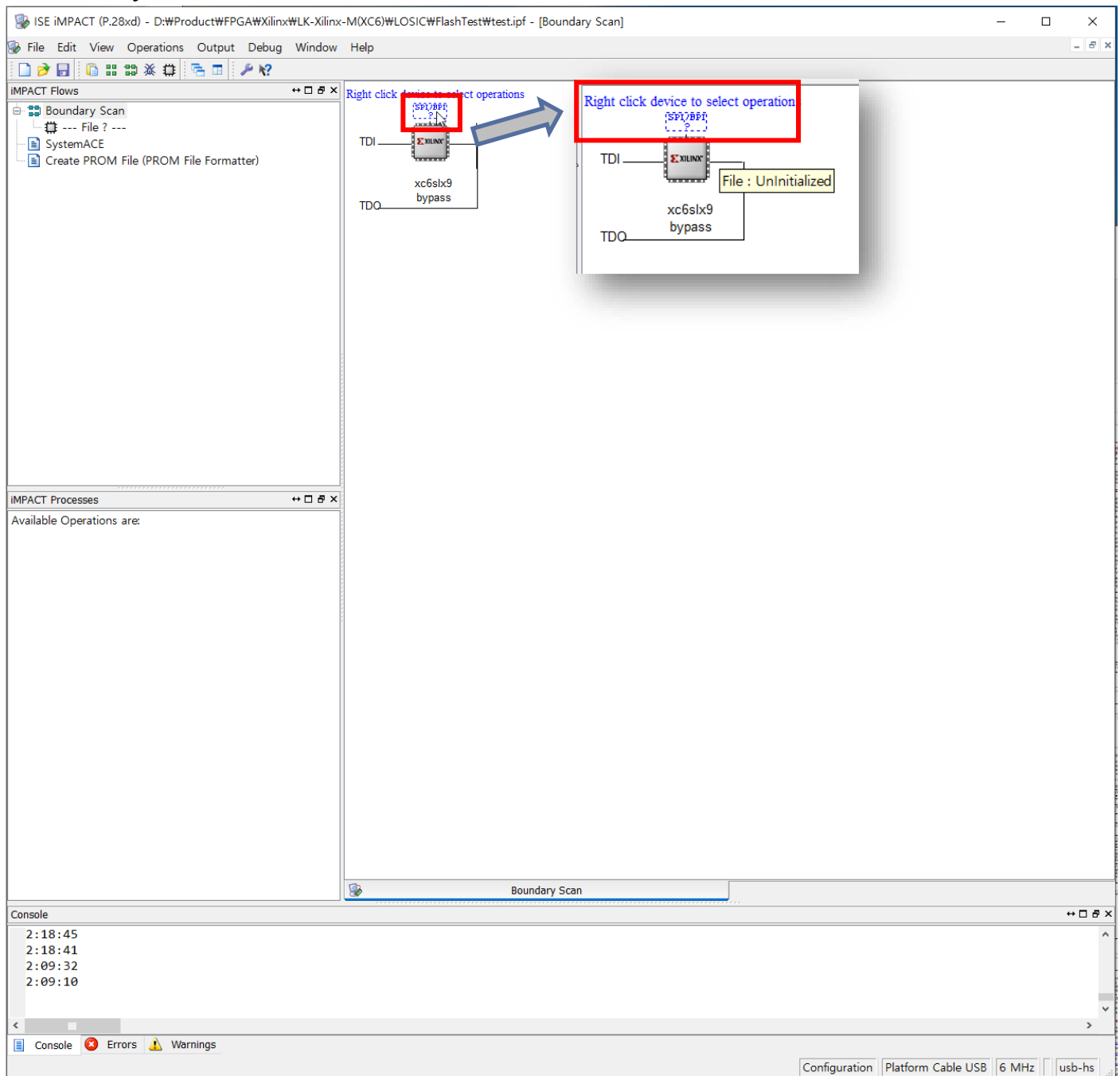
- PROM 라이트 하기


Boundary Scan 메뉴를 클릭한다.



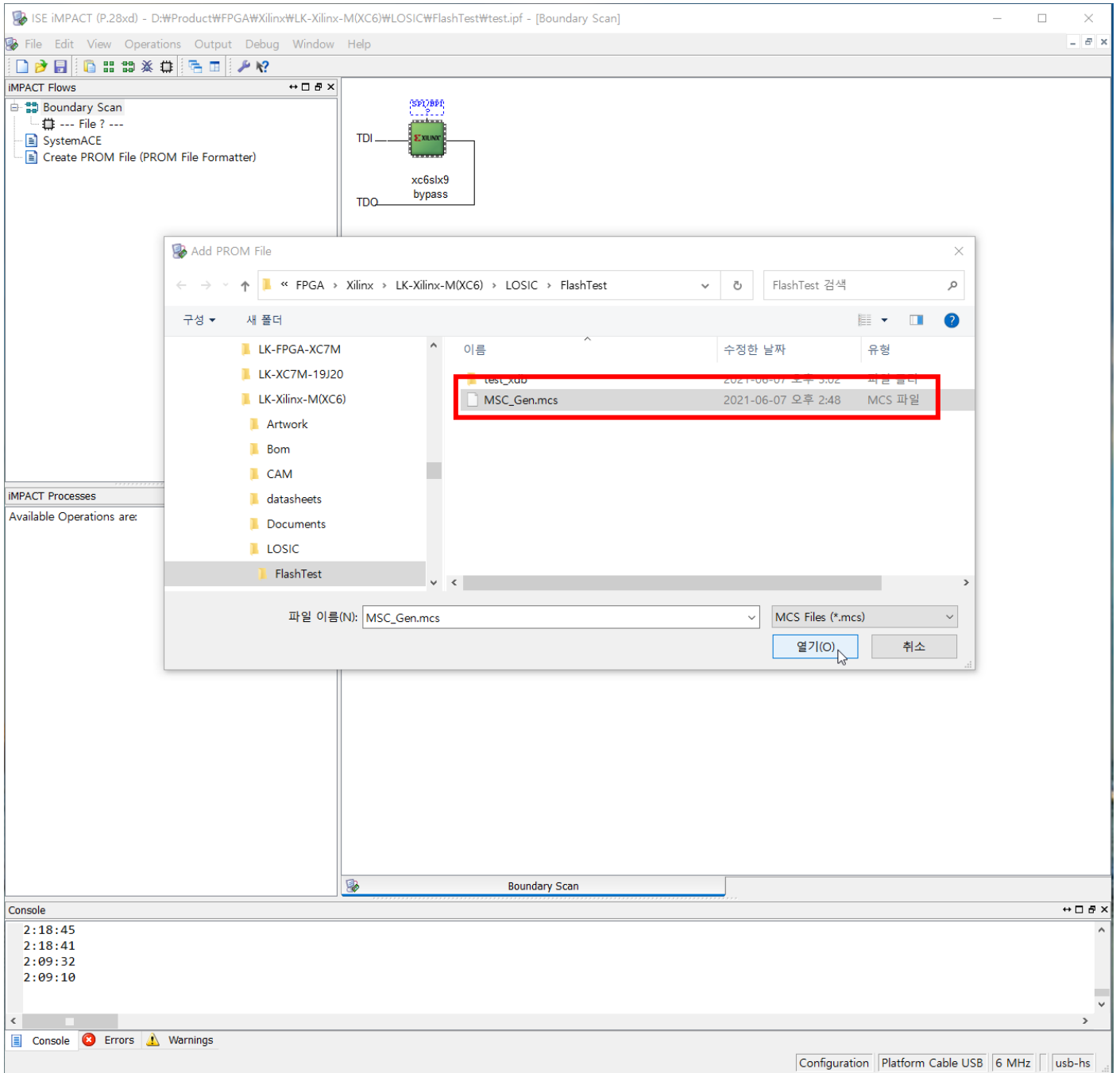
TITLE: Documents		SPARTAN6 개발모듈 LD4	LK Development Team
Status	Revision Date Doc Kenneth Lee		


Boundary Scan 후 아래 그림처럼 빨간색 사각영역을 더블클릭한다.



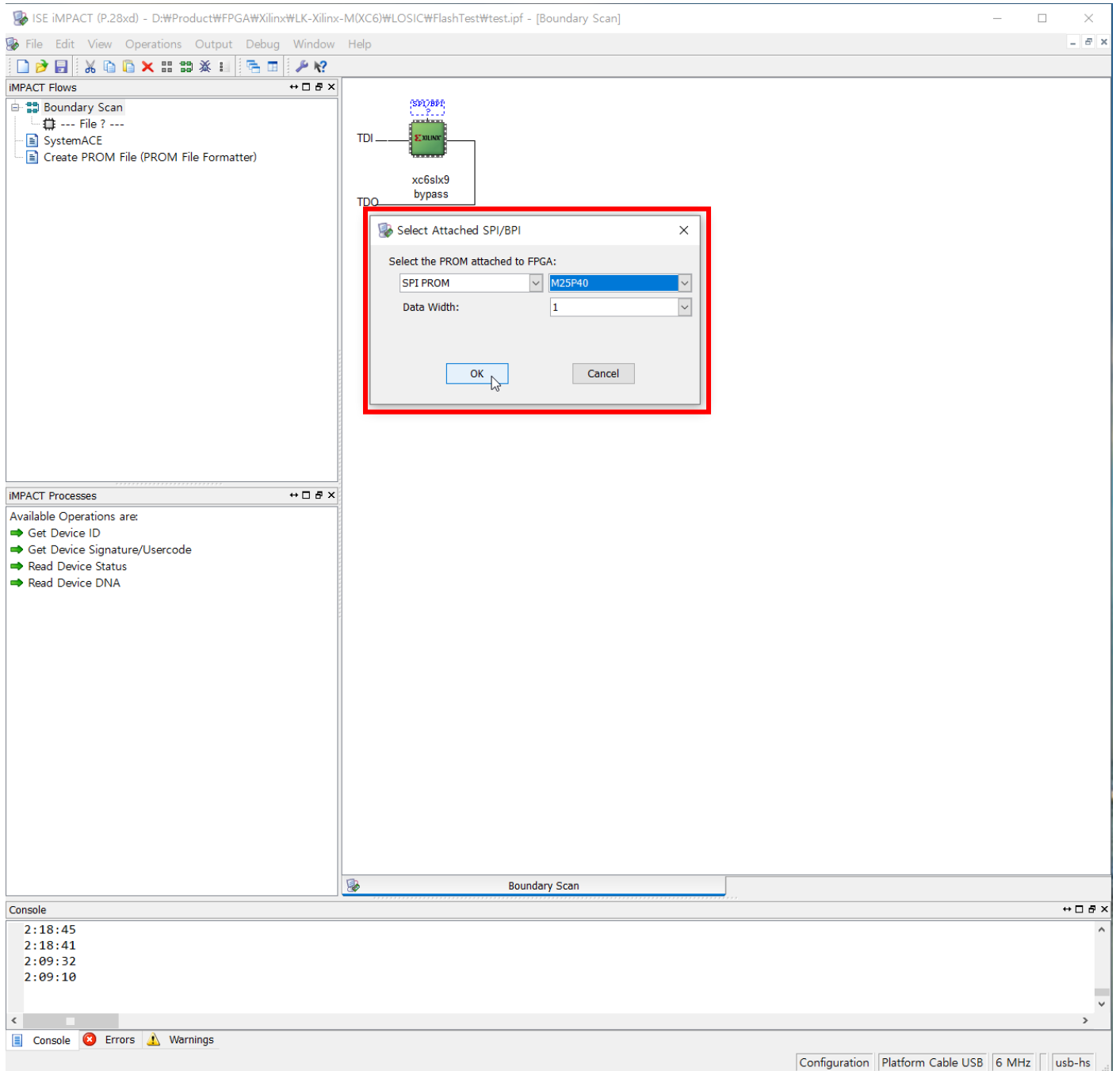
TITLE: Documents		SPARTAN6 개발모듈 LD4	LK Development Team 
Status	Revision Date Doc Kenneth Lee		

이전에 생성한 MCS_Gen.mcs 파일을 선택후 열기 버튼을 클릭한다.



TITLE: Documents		SPARTAN6 개발모듈 LD4	LK Development Team 
Status	Revision Date Doc Kenneth Lee		

MCS 파일 선택 후, 아래 그림처럼 SPI/BPI 방식으로 다운로드할 타겟 디바이스와 데이터폭을 선택한후 OK 버튼을 클릭한다.



The screenshot shows the ISE iMPACT software interface. In the 'IMPACT Flows' pane on the left, 'Boundary Scan' is selected. The main workspace shows a target diagram with 'xc6slx9 bypass' and 'TDO' labels. A dialog box titled 'Select Attached SPI/BPI' is open in the center, highlighted with a red rectangle. The dialog box contains the following information:


- Select the PROM attached to FPGA:
- SPI PROM (dropdown menu)
- M25P40 (dropdown menu)
- Data Width: 1 (dropdown menu)
- OK button (highlighted with a mouse cursor)
- Cancel button

The bottom of the interface shows the 'Console' pane with the following text:

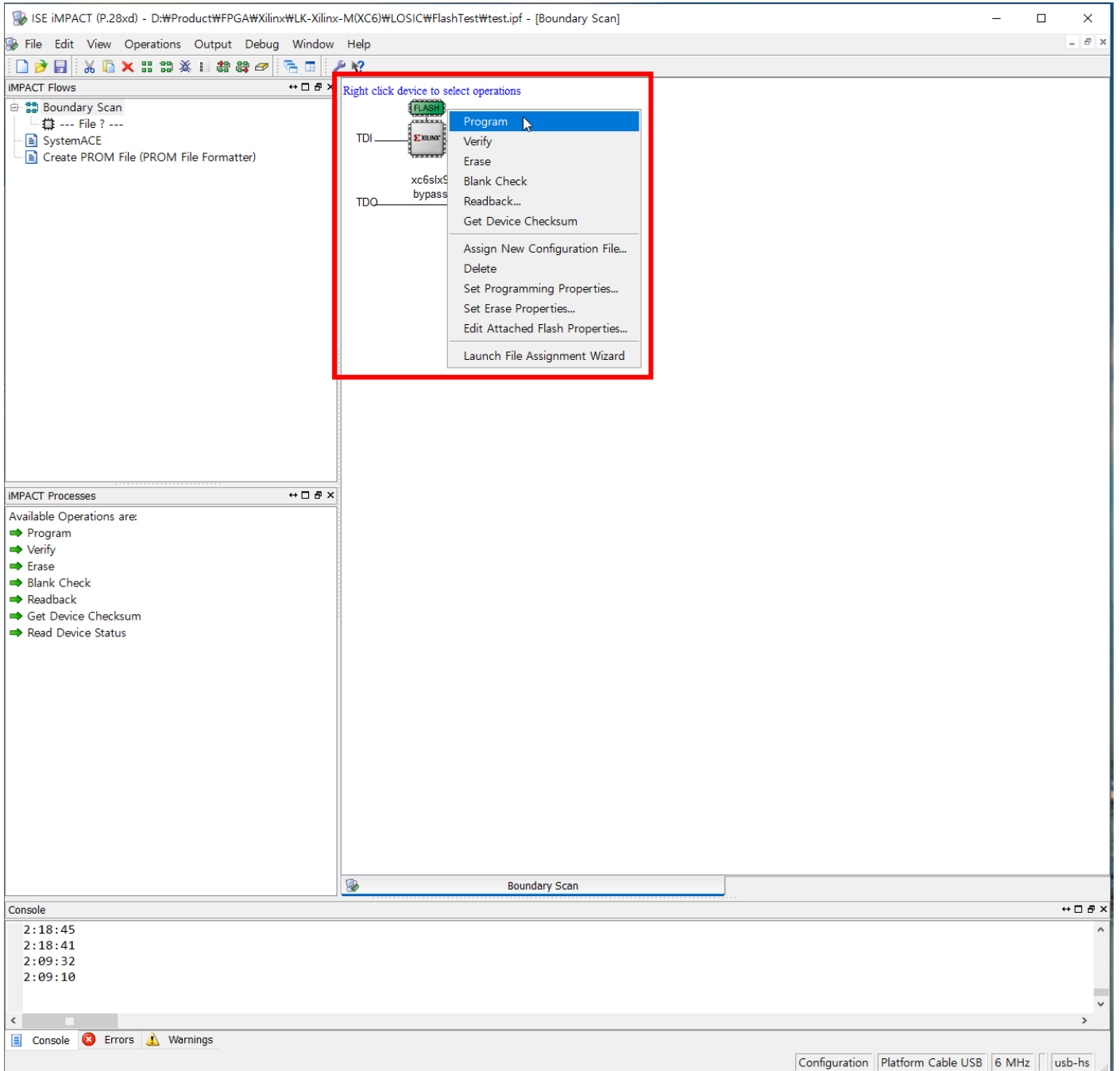
```


2:18:45
2:18:41
2:09:32
2:09:10
  
```

The status bar at the bottom indicates 'Configuration', 'Platform Cable USB', '6 MHz', and 'usb-hs'.

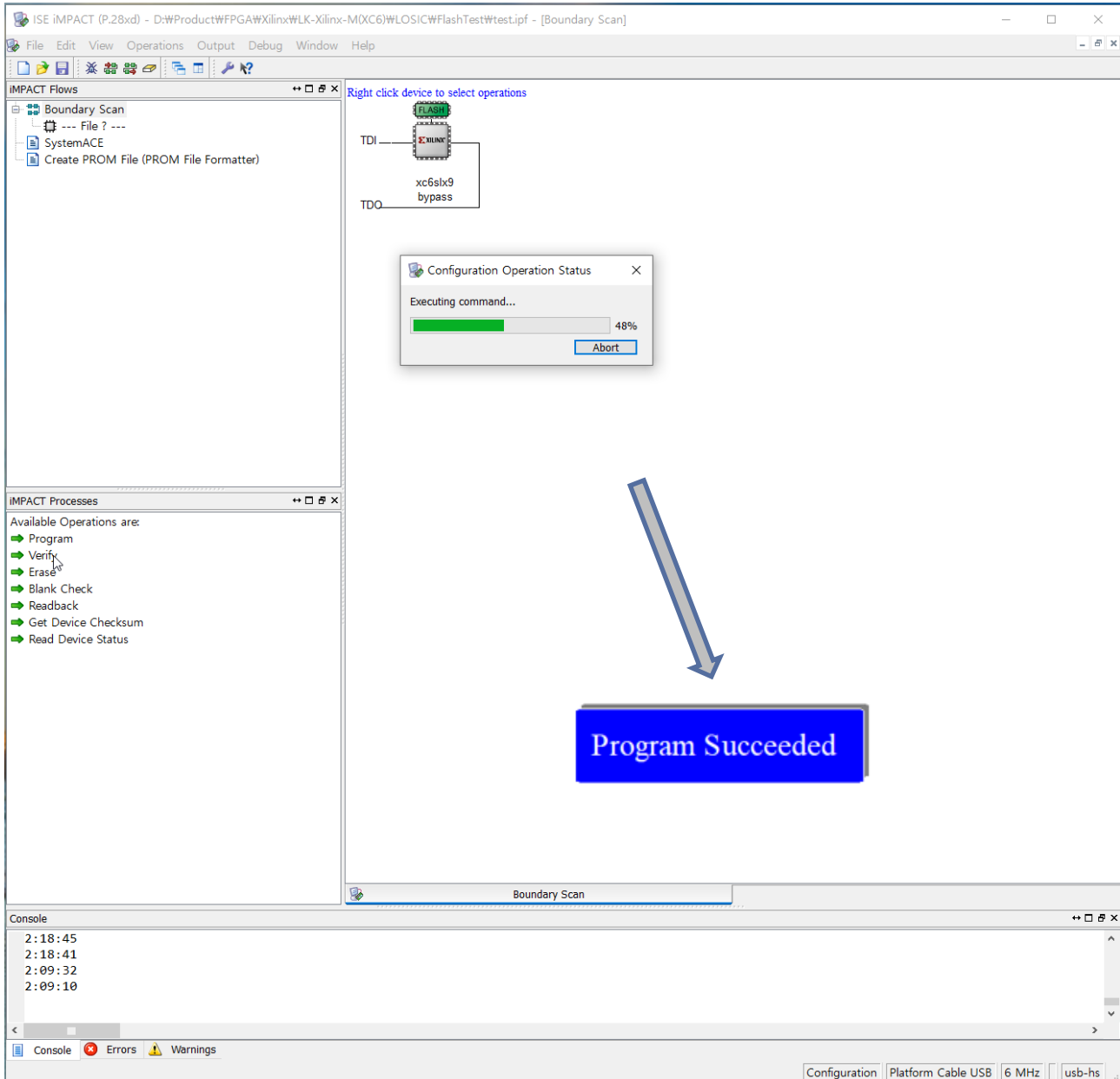
TITLE: Documents		SPARTAN6 개발모듈 LD4	LK Development Team 
Status	Revision		
	Date Doc Kenneth Lee		


아래 그림처럼 PROM 디바이스 선택후 FLASH 이미지가 생성된다. 생성이 된 이미지에 커서를 이동후 우클릭 하면 아래 그림처럼 메뉴가 뜬다. **Program** 버튼을 눌러 PROM에 프로그램 라이트를 시작한다.



TITLE: Documents		SPARTAN6 개발모듈 LD4	LK Development Team
Status	Revision Date Doc Kenneth Lee		

아래 그림처럼 PROM에 라이팅이 시작되면서 **Configuration Operation Status** 창이 뜨고 완료된 후에 **Program Succeeded** 메시지가 나타난다. PROM 라이팅 시간은 PROM 파일인 mcs 파일 사이즈에 따라 다를수 있으니 다운로드시 참고하도록 한다.



TITLE: Documents		SPARTAN6 개발모듈 LD4	LK Development Team
Status	Revision Date Doc Kenneth Lee		

Epilog

- 기술지원 및 주의사항
 - LK 임베디드홈페이지문의: www.LKEMBEDDED.CO.KR 상담문의게시판 이용
 - 엔지니어 이메일 기술문의: LKN9270@lkembedded.co.kr
 - 엔지니어 기술상담 전화문의: Tel. 02-968-8616~7

LK임베디드 모든 제품에 DC전원 입력 시 반드시 극성(+, -)를 확인 하시여 전원을 공급해주시고 제품 정격전압을 꼭 지켜 주셔야 합니다. 만일 이를 어길 시에는 제품에 치명적인 오류 및 파손이 발생할 수 있으니 각별한 주의가 필요합니다.

- 감사의 글

LK임베디드 제품을 구입해 주셔서 감사합니다. 당사는 아두이노 AVR, PIC, ARM7(STM32F103), FPGA를 사용하시는 고객님의 편의를 증진시키기 위해서, 마이크로 컨트롤러 교육 및 신제품 연구개발을 위해 항상 노력하고 있습니다. 앞으로도 끊임없는 도전정신을 바탕으로 신제품개발, 완벽한품질보증, 고객 서비스를 통해 고객의 마음을 편하게 하는데 정진할 것입니다.