

# USB Platform Cable

UPC100 (Ver 1.0.0) 20, FEB, 2007

제품 사양서

## 제품 요약

USB Platform Cable 은 다음과 같은 특성을 가지고 있습니다.

- 모든 윈도우 계열 및 레드햇 리눅스 지원
- 타겟의 I/O전원의 자동 검출 및 지원가능
- 5V(TTL), 3.3V(LVCMOS), 2.5V, 1.8V 및 1.5V동작의 모든 인터페이스 지원
- LED를 통한 동작상태 지시
- 개발용도에 적합하게 고안되었으며, 제품의 프로그래밍 용도로는 권장하지 않습니다.
- 최대 12Mhz를 지원하며, 자이링스 소프트웨어 지원에 따라 최대 속도는 다를 수 있습니다.

## USB Platform Cable에 대한 소개

Platform USB Cable (그림1)은 사용자가 고안한 하드웨어 장치에 직접 연결하여 아래에 기술된 자이링스사의 모든 디바이스를 프로그래밍 하기 위한 고속 다운로드 케이블 입니다.

- ISP Configuration PROM
- CPLDs
- FPGAs

Platform Cable USB는 A-MiniB USB2.0 케이블을 통하여 사용자의 데스크탑 컴퓨터나 노트북 컴퓨터에 연결하여 사용합니다. 케이블의 모든 전원은 컴퓨터의 USB 포트를 통하여 공급받게 되며, 별도의 외부 전원을 필요로 하지 않습니다. Slave-Serial방식의 전송에서는 최대 24Mbps의 속도로 데이터 전송이 가능하지만, 실제 전송속도는 동일한 USB 장치에 공유 접속된 장치들이 존재하면, 다르게 나타날 수 있습니다.

플랫폼 케이블을 이용한 디바이스의 컨피규레이션 및 프로그래밍 작업은 iMPACT 다운로드 소프트웨어를 통하여 실행할수 있으며, Boundary-Scan (IEEE 1149.1 / IEEE 1532) 또는 Slave-Serial 방식을 사용할 수 있습니다. 타겟의 클럭속도는 750Khz ~ 12 Mhz 범위내에서 설정할 수 있습니다.

플랫폼 케이블을 타겟 시스템에 연결하려면, 14핀의 리본케이블을 이용하거나 9핀의 플라이 케이블을 이용하실 수 있으며 14핀은 고속전송을 위해 고안되었습니다. 9핀 및 14핀의 두 가지 방식을 지원하므로 9핀 케이블을 이용하여 타겟에 연결할 수 있으며, 별도의 어댑터를 필요로 하지 않습니다.

USB Platform Cable 은 다음과 같은 자이링스 디바이스를 지원합니다.

- 모든 종류의 Vertex FPGA 제품군
- 모든 종류의 Spartan FPGA 제품군
- XC9500 / XC9500L / XC9500XV CPLDs
- CoolRunner XPLA3 / CoolRunner-II CPLDs
- XC1800 ISP PROMs
- XCF00S / XCF00P Platform Flash ROMs
- XC4000XL / XV /EX /E FPGAs

Pb-Free ( RoHS 표준 규격 ) 케이블도 지원됩니다.

## 외형 및 규격

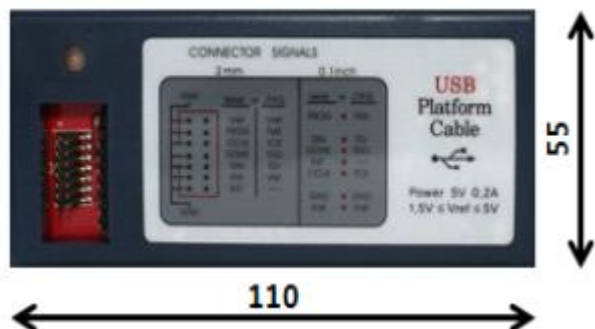
USB Platform Cable은 재활용 가능한 난연성 플라스틱 케이스를(그림 2) 사용합니다. 케이스 내부의 EMI 코팅은 내부에서 발생하는 전자파가 외부로 유출되는 것을 차단합니다.



[그림 1] USB Platform Cable

두께 (높이) : 18.5 mm

[그림 2] 플라스틱 케이스의 물리적 규격



## 동작

이 장에서는 USB Platform Cable의 연결 방법 및 사용법에 관하여 소개합니다.

## 요구되는 최소 컴퓨터 사양

사용하는 컴퓨터는 최소 한개 또는 그이상의 USB 호스트 컨트롤러를 가지고 있어야 합니다. 호스트 컨트롤러는 PC에 내장되어 있거나 PCI 확장 카드 또는 PCMCIA 카드를 이용하여 추가할 수 있습니다.

USB Platform Cable은 자이링스 ISE 시스템의 최소 요구사항 하에서 사용될 수 있습니다. 자세한 사양은 아래의 링크를 참조하시기 바랍니다.

[http://www.xilinx.com/products/design\\_resources/design\\_tool/index.htm](http://www.xilinx.com/products/design_resources/design_tool/index.htm)

위의 링크에서 ISE tool을 선택하십시오. Platform USB 케이블은 USB2.0의 전체규격을 만족하며 동시에 USB1.1 규격에서도 사용할 수 있습니다. USB규격의 접속환경에 따른 속도 및 차이점은 3페이지의 USB 환경 및 케이블 전송속도를 참조 하십시오.

## 동작전원

USB Platform Cable은 버스전원을 사용합니다. 포트의 사양에 따라 최상의 동작속도를 결정하고 속도에 따른 소요 전류량을 조절하게 됩니다. USB2.0 규격 하에서 최소 230mA를 지원할 수 있으며, 최대속도로 동작됩니다. USB2.0을 만족하지 않을시 는 150mA를 지원하며 가능한 최대속도로 통신합니다. 일부 오래된 허브에서는 최대 공급전류를 100mA로 제한하는 경우도 있습니다. 이 경우 Platform USB Cable은 Enumeration을 실행하지 않습니다.

(3페이지의 플러그 앤 플레이의 Enumeration 과정을 참조 하십시오.)

## 장치드라이버 설치

USB Platform Cable이 동작하기 위해선 적합한 장치드라이버를 필요로 합니다. 모든 ISE 소프트웨어 및 서비스 팩 버전 6.3.03 이후 버전은 장치드라이버를 제공합니다. Platform USB Cable은 자이링스 ISE나 ChipScope Pro 또는 Platform Studio(EDK) 소프트웨어가 설치가 완료되기 전에는 인식되지 않습니다.

## 펌웨어 업데이트

USB Platform Cable은 RAM기반의 제품입니다. 따라서

응용프로그램은 매번 접속 시 자동으로 로딩 됩니다. USB 프로토콜을 통하여 다운로드가 정상적으로 되었는지 여부를 검증할 수 있습니다.

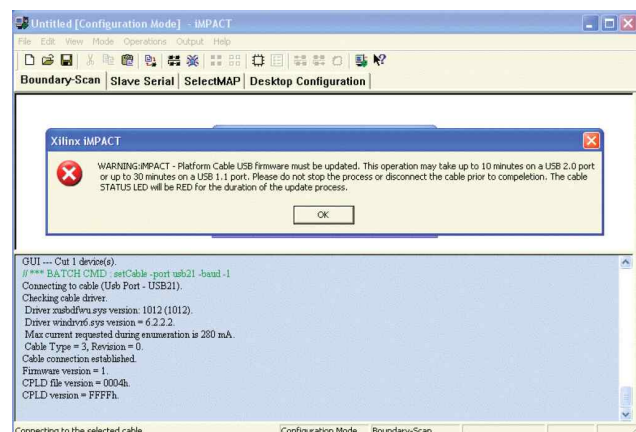
모든 다운로드에 필요한 소프트웨어는 이미 자이링스 ISE 소프트웨어 설치 CD에 포함되어 있습니다. 검증된 응용프로그램 코드는 주기적으로 ISE 프로그램 배포 시 포함 됩니다. ISE 서비스 팩이나, WebPack 배포 본은 [www.xilinx.com](http://www.xilinx.com) 을 통하여 받을 수 있습니다.

또한 프로젝트 네비게이터는 인터넷이 연결된 환경 하에서 자동으로 새로운 소프트웨어를 검색 합니다.

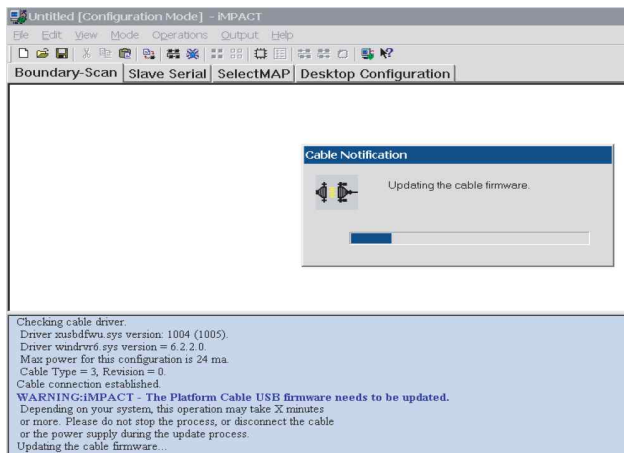
자이링스 응용 프로그램이 실행되고 정상적으로 USB Platform Cable의 접속이 완료되면, 몇 개의 소프트웨어 컴포넌트들의 버전이 커맨드 로그 창에 나타나게 됩니다.

USB Platform Cable은 내부에 임베디드 in-circuit Programmable CPLD를 가지고 있는데, 매번 자이링스 응용프로그램이 실행될 때 검사를 수행하게 됩니다. 이때 CPLD의 펌웨어 버전이 오래된 경우 자동으로 CPLD가 리 프로그램 됩니다. (그림 3 참조)

CPLD의 업데이트가 진행되는 동안, 상태 LED는 적색으로 되고, 상태 바가 통신 진행상태를 나타내게 됩니다. (그림 4 참조) CPLD 업데이트 과정에 어떠한 조작도 해서는 안 되며, 업데이트가 완료되면 LED는 녹색으로 바뀌며, USB Platform Cable은 정상 사용상태로 복귀하게 됩니다.



[그림 3] CPLD 업데이트 알림



[그림 4] CPLD 업데이트 상태 바

## 새 하드웨어 설치 마법사

(MS Windows 운영체제 사용시)

응용 프로그램 설치 중에 USB Platform Cable은 PC에 연결되지 않습니다. 프로그램 설치가 완료된 이후 처음으로 케이블을 연결하면 윈도우 운영체제는 새 하드웨어 설치 마법사를 실행하게 되고 USB Platform Cable의 펌웨어 로더 [그림 5 참조]를 설치하고 곧이어



[그림 5a] 펌웨어 로더 PID 검출



[그림 5 b] 펌웨어 로더 장치드라이버 설치완료

USB Platform Cable의 장치드라이버[그림 6 참조]를 설치하게 됩니다.

윈도즈는 물리적으로 다른 위치에 있는 USB에 케이블이 처음 연결될 경우 매번 이 과정을 실행합니다.

윈도스 2000 환경에서는 마법사 화면이 그림과 다르게 나타날 수 있습니다.



[그림 6 a] Platform Cable PID 검출



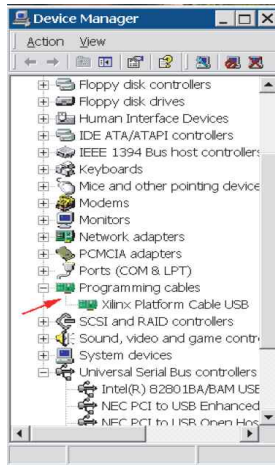
[그림 6b] Platform Cable 드라이버 설치 완료

## 플러그 앤 플레이

USB 케이블은 파워 다운이나 컴퓨터 재 부팅 외에도 임의로 빼거나 꽂을 수 있습니다. 새로 연결이 상태 LED가 깜박이며 포트가 사용 가능할 때까지 약간의 시간이 걸리는데, 이 과정을 Enumeration 이라고 합니다.

Enumeration 과정이 정상적으로 끝나면, 윈도우시스템의 장치관리자에 "Programming Cables" 라는 항목이 생성됩니다. (그림 7 참조) 장치 관리자를 보려면 내컴퓨터에서 마우스 오른쪽 버튼을 누른 후

등록정보->하드웨어 -> 장치관리자를 선택하면 됩니다.



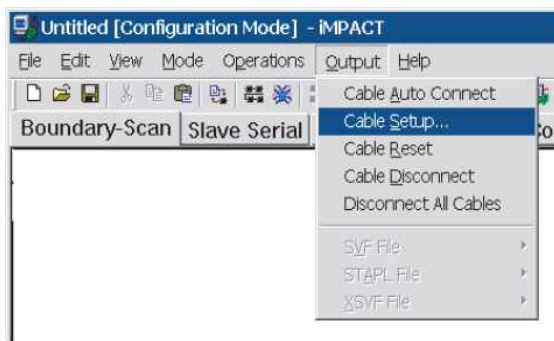
[그림 7] 장치 관리자 케이블 인식정보

## iMPACT 컨피규레이션 케이블 선택

처음으로 iMPACT 프로그램을 실행했을 때 화면에 나타나는 컨피규레이션을 실행할 디바이스에 대하여 자동 접속을 실행하면, USB Platform Cable은 "Active" 상태로 지정됩니다.

Note : 자동 접속과정 중, 만일 USB Platform Cable과 PC4가 같이 연결되어 있으면, iMPACT는 PC4를 "Active" 케이블로 설정합니다.

다른 방법으로, 케이블을 수동으로 선택할 수 있는데, iMPACT의 톨 바에서 Output-> CableSetup을 선택해도 됩니다. (그림8 참조)

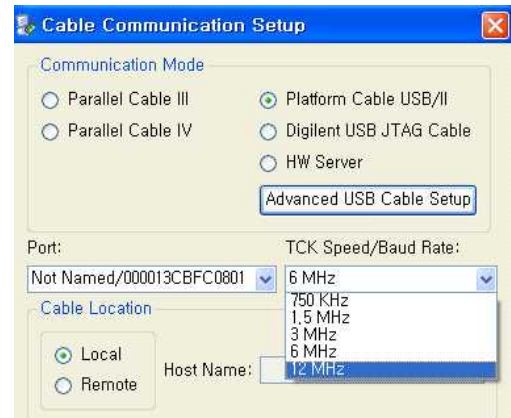


[그림 8] iMPACT 케이블 선택 풀다운 메뉴

케이블 통신 다이얼로그 박스가 나타나면(그림9), 통신 모드 라디오 버튼을 반드시 "Platform USB Cable"로 선택해야 합니다.

"Boundary-Scan" 모드에서 "Slave Serial"모드로 전환하기 전, 또는 그 반대로 전환 할 경우, Output->Cable Disconnect를 선택하여야 한다. 모드 변경이 완료되면 Output->Cable Setup을 선택하여 다시 연결한다.

만일 iMPACT 프로그램이 실행 중에 케이블 접속이 끊어지면, 상태 바에 바로 "No Connection" 이라고 나타나게 된다.



[그림 9] iMPACT 케이블 통신 셋업 다이얼로그

## 컨피규레이션 클록 속도

USB Platform Cable 컨피규레이션 클록(TCK\_CCLK) 주파수는 변경가능하며, [ 표1 ]에 모든 선택 가능한 클록 주파수를 나타내었다.

[ 표1 ] High Power 포트의 속도 선택표

선택	TCK_CCLK	단위
1	12	Mhz
2(기본설정)	6	Mhz
3	8	Mhz
4	1.5	Mhz
5	750	Khz

Slave-Serial 모드에서는, TCK\_CCLK는 선택가능한 모든 주파수를 선택할 수 있다. TCK\_CCLK는 기본적으로 6Mhz에 설정되어 있다. 사용자는 타겟 시스템의 Slave-Serial 클록 사양에 맞는 주파수를 선택하여야 한다.

Boundary-Scan모드에서, iMPACT7.1i 혹은 그 이후 버전에서, 최대 Boundary-Scan 클록 주파수를 결정하기 위해서, Boundary-Scan 체인에 연결된 각 디바이스들의 BSDL 파일을 검사하게 된다. iMPACT7.1i 혹은 그 이후버전에서, TCK\_CCLK의 주파수는 자동으로 가장 느린 디바이스의 클록 주파수에 설정되게 된다.



기본적으로는 초기에 6MHz에 설정되며, 연결된 디바이스 중 하나가 6MHz를 만족하지 못할 때, 응답 가능한 가장 빠른 주파수에 설정되어 진다.

[표 2]에 각 자이링스 디바이스별 가장 빠른 JTAG TCK 주파수를 나타내었다. 최대 JTAG TCK스펙은 각 디바이스의 데이터시트나 BSDL를 참조하자.

**Note:** iMPACT 버전 7.1i 이전버전에서는 Boundary-Scan 모드에서 TCK\_CCLK의 자동선택이 지원되지 않는다. 따라서 사용자들은 TCK\_CCLK를 선택시 타겟 시스템에 연결된 디바이스 중 최저 속도의 디바이스에 맞는 TCK\_CCLK의 주파수를 선택하여야 한다.

[표 2] 최대 JTAG 클럭 주파수

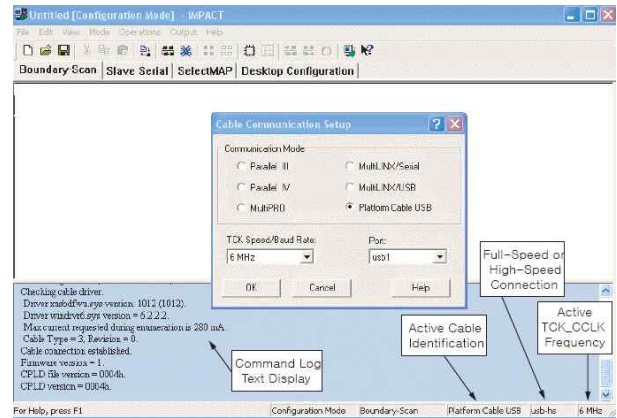
Device Family	Maximum JTAG Clock Frequency	Units
XC9500XL	10	MHz
XPLA3	10	MHz
CoolRunner-II	10	MHz
XC18V00	10	MHz
XCF00S/XCF00P	15	MHz
Virtex	33	MHz
Virtex-II	33	MHz
Virtex-II Pro	33	MHz
Virtex-4	33	MHz
Spartan	5	MHz
Spartan-II	33	MHz
Spartan-3	33	MHz

iMPACT GUI의 하단 상태 바는 동작조건에 따른 매우 유용한 정보를 보여준다. 호스트 컴퓨터의 USB가 1.1이 라면, USB Platform Cable은 가능한 최대 속도로 접속 되고, 상태 바에는 "usb-fs"라고 나타난다. 호스트 PC 가 USB2.0을 지원하면, USB Platform Cable은 고속모 드로 접속하게 되며, 상태 바에는 "usb-hs"라고 나타난 다. 설정된 TCK\_CCLK주파수는 상태 바의 오른쪽 하단 에 나타난다. (그림 10 참조)

커맨드 로그 창에도 케이블과의 통신 관련한 정보들 이 기록된다. 케이블 통신 셋업 다이얼로그 박스에서 케 이블이 선택되면, 커맨드 로그 창에 나타나게 된다.

Cable Type = 3, Revision = 0  
Cable Connection Established

**Note :** 실제 Revision 번호는 새로운 소프트웨어 버전이 배포될 때 마다 바뀌게 된다.



[ 그림 10 ] iMPACT 상태 바

## 상태 지시등

USB Platform Cable은 타겟 전압여부를 표시하기 위해 2색 상태 LED를 사용한다. 리본케이블이 타겟 시스템 에 연결되면, 상태 LED는 케이블 핀 2번의 전압여부를 알려주게 된다.

사용자들은 시스템 설계 시 사용자 시스템의 JTAG 또는 Slave-Serial 핀 2번에 전원을 연결하여야 한다. 일부 디바이스들은 이를 위해 별도의 파워핀을 제공하기도 한다( VAUX ). 모든 디바이스들은 VCCIO 와 JTAG 관련핀 (TCK, TMS, TDI ,TDO)을 공통적으로 제공한다.

Slave-Serial 과 JTAG핀들에 관한 자세한 사항은 타겟 시스템의 데이터시트를 참조하기 바란다.

상태LED는 다음과 같은 상황 하에서 황색을 띠게 된다.

[ 그림 11 참조 ]

- 리본케이블이 타겟에 연결되지 않았거나
- 타겟 시스템이 전원이 연결되지 않았거나
- Cref 핀의 전압이 +1.5 볼트보다 작을 때

상태 LED는 다음과 같은 상황 하에서 녹색을 띠게 된다. [그림 11참조 ]

- 리본 케이블이 타겟 시스템에 연결되었다.
- 타겟시스템은 전원이 연결 되어있다.
- Vref 핀의 전압이 +1.5볼트 이상이다.

상태 LED는 USB Platform Cable이 대기상태에 진입하 거나, USB 포트로부터 분리 되었을 때 꺼지게 된다.



[그림 11] 타겟 전원을 나타내는 상태 LED

## 대기 상태

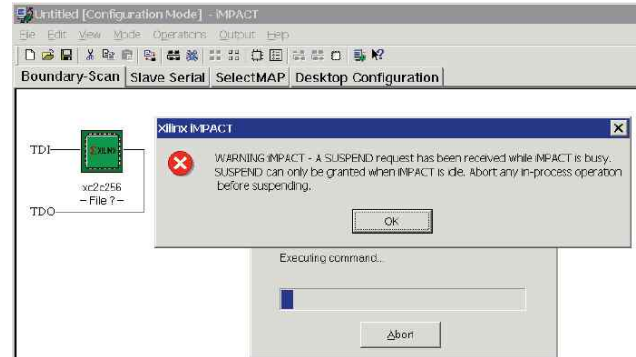
USB Platform Cable을 포함한 모든 USB 장치들은 호스트 운영체제에 의하여 대기 모드로 진입 할 수 있다. 다음과 같은 경우에 대기모드가 될 수 있다.

- 노트북 컴퓨터의 대기모드 진입키가 눌렸을 때.
- 프로그램이 실행 중에, 이동을 위해 노트북을 닫았을 때
- 배터리로 운영되는 노트북 컴퓨터 등에서, 장시간 동안 사용 하지 않았을 때
- PC 전력관리 상태가 “Energy Efficiency” 모드로 설정 되었고, 장시간 사용하지 않았을 때

대기모드의 진입목적은 전체적인 파워 소비를 줄이기 위해서 이다. 대기요청은 전체적일 수도 혹은 포트에 한정적일 수도 있다.

대기 모드에 진입하면 USB Platform Cable은 500uA 이하의 전류를 소비하게 된다. 마찬가지로 상태LED는 꺼지게 되고, 대기모드에서 해제되기 전까지 오프 상태에 있게 된다.

iMPACT 동작중에 대기모드 진입시도가 이루어지면, iMPACT는 “동작이 완료되기 전 까지 대기모드를 보류합니다” 라는 메시지를 띄우거나, 프로그램을 종료한다. (그림 12 참조)



[ 그림 12] iMPACT 실행중 대기모드 진입 경고

TCK\_CCLK, TMS\_PROG, TDI\_DIN 등과 같은 타겟 인터페이스 로직들은 대기 모드에서 전원이 인가되지 않는다. 이 핀들은 대기 모드 상태에서 플로팅 상태에 있게 된다.

**Note:** 일부 컴퓨터들은 대기모드에서 USB의 모든전원을 끄는다. 이것은 USB 케이블을 PC에서 뽑는것과 동일한 의미를 가지게 된다. 따라서 대기모드가 해제되고 동작이 재개되면, 수동으로 Output->Cable Setup을 선택하여 재 연결을 선택해야 된다.

## USB Platform Cable의 연결

이장에서는 USB Platform Cable과 PC 그리고 타겟 시스템의 물리적인 연결에 관하여 논의한다.

## 고속 리본 케이블

제공되는(옵션) 6인치 리본케이블은 타겟 시스템에 연결 시 권장된다. (그림 13참조) 이 케이블은 복수의 그라운드 신호와 짝을 이루고 있어 오류 없는 연결을 형성한다.

리본케이블을 사용하기 위해선 타겟 시스템도 동일한 형태의 커넥터를 제공해야만 한다. 이 커넥터는 프로토타입의 검증 시에만 필요하게 된다. 하드웨어가 잘 동작하고 ISP 디바이스들이 다른 형태의 소스로부터 처리가 가능하다면, 커넥터는 비용을 줄이는 목적으로 제거 할 수 있다. 그러나, 만일 공간이 충분하다면 이 커넥터를 위한 공간을 확보하는 것이 현명하다.

커넥터는 하우스징 처리된 2mm 피치의 헤더 핀 형태로 되어있다. 이 헤더의 파트넘버와 벤더 정보를 보려면, 7 페이지의 “타겟 인터페이스 커넥터”를 참조하라.



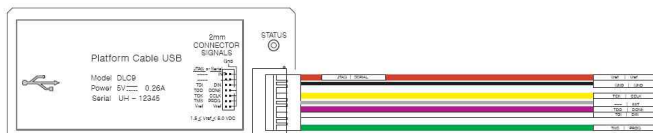
[그림 13] 고속 리본 케이블

## Notes :

1. 리본 케이블 : 14핀 커넥터, 1.0mm 센터, 라운드 와이어 플랫 케이블 28AWG(7 X 36) 표준 와이어, 1번핀 마크된 회색 PVC 재질.
2. 2mm 리본, 극성 있는 Female 커넥터, 리본과 IDC연결. 접촉 부위는 베릴륨 구리 재질, 50마이크로 인치 니켈도금 위에 30 마이크로 인치 금도금. 커넥터 핀은 중심에서 2mm 간격으로 0.5mm 사각형태

## 플라잉 와이어 어댑터

하우징 처리된 Male 커넥터와 호환되지 않는 이전 타겟 시스템을 위하여 제공된다. 타겟 시스템의 각각의 터미널에 연결하기 위해서 사용되며, USB Platform Cable 에서 1인치 커넥터를 동시 지원하므로, 별도의 변환 어댑터를 필요로 하지 않는다. (그림 14참조)



[그림 14] 플라잉 케이블 (변환소켓 불필요)

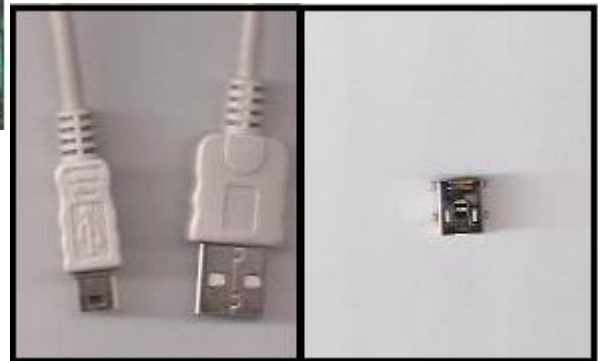
**Note :** 이 방식의 연결은 취약한 신호전송으로 인하여 권장되고 있지는 않다. 또한 의도와 달리 실수로 리드를 고압핀에 연결하게 되면, 데미지를 입게 될 수도 있다.

## 호스트 PC와의 물리적 연결

USB Platform Cable 에는 별도의 고속 A-MiniB 케이블이 제공된다. (그림 16) 어떠한 상황에서도 사용자는 이 케이블의 길이를 5m를 넘겨서 사용해서는 안 된다.

저속(1.5Mb/s)용 케이블을 USB Platform Cable에 사용해서도 안 된다.

표준 Mini-B 리셉터클이 케이스 한쪽측면에 있으며 A-MiniB 케이블과 연결된다. 별도의 분리된 샤시 그라운드가 A-MiniB 케이블의 드레인 와이어에 연결되어 있으며 이는 호스트 PC의 시스템 그라운드로 ESD 전류를 되돌리는 역할을 하게 된다.

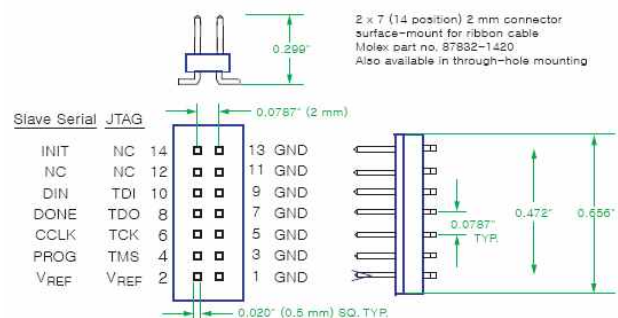


[그림 16] 표준 A-MiniB 케이블 및 Mini-B 리셉터클

## 타겟 인터페이스 커넥터

타겟 시스템에 적용될 고속 리본 케이블과 호환되는 커넥터는 쓰루홀 타입과 SMD 타입의 두 가지가 있다. (그림 17 참조) 하우징이 있고 한쪽에 키 처리가 된 버전을 사용하는 것이 커넥터 연결 시 정확한 방향으로 쉽게 연결할 수 있게 한다.

커넥터 2번 핀에 인가되는 타겟 시스템의 전압은 TDI\_DIN, TCK\_CCLK, TMS\_PROG핀의 신호를 드라이브 하기위한 출력버퍼의 레퍼런스로 사용되게 된다. (표 3)은 USB Platform Cable 과 호환되는 몇 가지의 커넥터에 관련한 정보를 보여주고 있다.



[그림 17] 타겟 인터페이스 커넥터 규격 및 신호

[ 표 3 ] 2mm피치 14핀 리본커넥터와 호환 커넥터 종류

Manufacturer (1)	SMT, Vertical	Through-Hole, Vertical	Through-Hole, Right Angle	Web Site
Molex	87832-1420	87831-1420	87833-1420	<a href="http://www.molex.com">www.molex.com</a>
FCI	98424-G52-14	98414-G06-14	98464-G61-14	<a href="http://www.fciconnect.com">www.fciconnect.com</a>
Comm Con Connectors	2475-14G2	2422-14G2	2401R-G2-14	<a href="http://www.commcon.com">www.commcon.com</a>

## 타겟 레퍼런스 전압 검출 ( Vref )

2mm 리본 케이블의 Vref 핀에는 오버 전압 클램프가 설정되어 있다. 클램프된 전압( Vref\_a )은 고속의 슬루 레이트를 가지는 버퍼(NC7SZ125)에 공급되는데, 이 버퍼는 세 개의 출력신호를 구동시킨다. Vref는 반드시 레귤레이터된 전압을 사용해야 한다.

**Note :** 타겟 시스템의 2mm 커넥터 상의 Vref와 Pin2 사이에 전류제한 저항을 사용해선 안 된다.

A-MiniB 커넥터가 호스트 컴퓨터와 연결되지 않은 상태에서 리본케이블이나 플라잉 케이블이 전원이 인가된 타겟 시스템에 연결되어 있을 때, USB Platform Cable 은 어떠한 데미지도 입지 않는다. 이와 마찬가지로 USB Platform Cable 이 전원이 인가된 상태에서 전원이 연결되지 않은 타겟 시스템에 연결되었을 때에도 타겟 시스템은 어떠한 데미지도 입지 않는다.

출력신호들(TCK\_CCLK, TMS\_PROG, TDI\_DIN)에 대한 버퍼들은 Vref 가 1.40볼트 미만으로 떨어지면, 하이 임피던스(high-Z) 상태가 된다. 출력버퍼의 진폭은  $1.40V \leq V_{ref} \leq 3.30V$  일 때 Vref핀의 전압변동에 비례한다. Vref가  $3.30 \leq V_{ref} \leq 5.00$  일 때, 진폭은 대략 3.30V 로 클램프 된다.

Vref 전압과 출력신호의 진폭과의 관계를 표4에 나타내었다.

[ 표 4 ] Vref에 전압에 따른 출력신호의 레벨

V <sub>REF</sub> Voltage on Target System (VDC)	Output Signal Levels (VDC)	Status LED Color
$0.00 \leq V_{REF} < 1.40$	High-Z	Amber
$1.40 \leq V_{REF} < 3.30$	V <sub>REF</sub>	Green
$3.30 \leq V_{REF} \leq 5.00$	? 3.3	Green

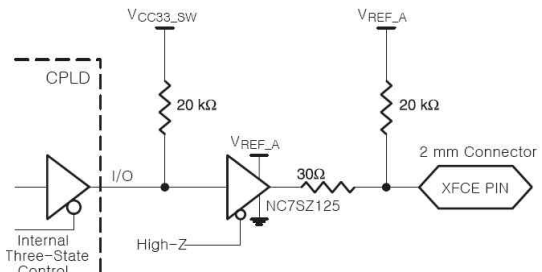
자이링스 프로그램은 관련버퍼들을 하이임피던스로 세팅하기 전에 출력신호들을 논리 '1' 상태로 구동시킨다. 이것은 타겟 시스템의 기생 컵에 풀업 저항을 통하여 형성된 충전 패스에 기인하여, 임의의 신호가 매우

매우 느리게 상승되는 문제점을 방지 할 수 있다.

## 출력 드라이버의 구조

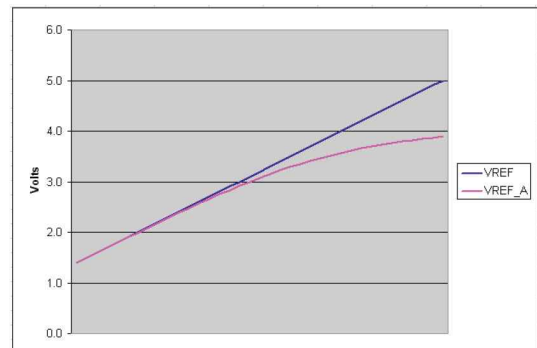
USB Platform Cable은 3종류의 타겟 신호들을 구동한다 : TCK\_CCLK, TMS\_PROG, TDI\_DIN. 각각의 이 신호들은 모두 동일한 형태의 구성을 가진다. 자이링스 XC2C256 CoolRunner-2 CPLD에서 이 출력 신호들을 생성하게 된다.

각각의 신호들은 외부의 고속 CMOS 버퍼인 NC7SZ125에 연결되어 있다(그림 22). 직렬 연결된 댄핑저항(30옴)은 반사 신호를 없애준다. 약한 풀업저항 (20킬로옴) 은 버퍼가 하이 임피던스로 셋 되었을 때 논리신호 레벨을 유지시키는 역할을 한다. 풀업저항은 Vref\_a 에 연결되어 있다.



[ 그림 22 ] 타겟 인터페이스 구동신호 구조

[그림 23]은 Vref의 전압 값에 대한 Vref\_a의 값의 기대치를 보여준다.

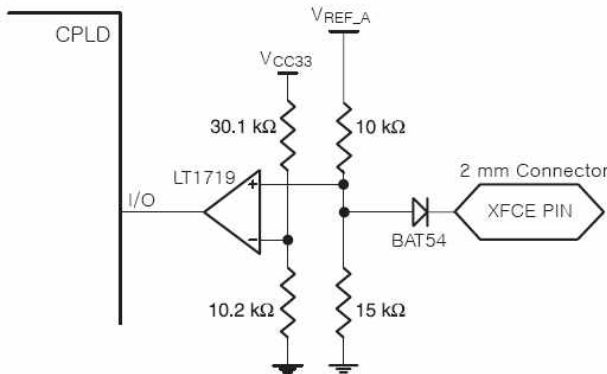


[그림 23] Vref 전압에 대한 Vref\_a



## 입력 리시버 구조

TDO\_DONE 전압비교기를 보호하기 위한 목적으로 쇼트키 다이오드가 사용되었다 (그림 24). USB Platform Cable은 로직 '0'을 결정하기 위하여  $V_{il\ Max}$  이하의 전압을 관측하고, TDO는  $V_{ref}$ 가 아닌 다른 전원에 연결될 수 있기 때문에,  $V_{ref\_a}$  이상의 매우 높은 전압을 처리할 수 있도록 되어있다.



[그림 24] 타겟 인터페이스 리시버 구조

## 신호의 무결성

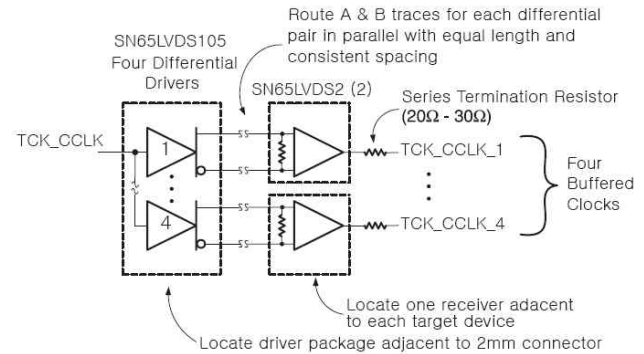
USB Platform Cable은 TCK\_CCLK, TMS\_PROG, TDI\_DIN신호를 드라이브하기 위해서 고속의 버퍼를 사용하고 있다. 이 각각의 버퍼는 30옴의 직렬 종단 저항을 가지고 있다. 사용자들은 전송라인의 잡음을 피하기 위하여 PCB 레이아웃 시 섬세한 주의를 요한다. 자이링스의 [Signal Integrity Central](#) 웹 사이트를 방문해서, 신호 무결성에 관해 상세히 기술한 고속 XC9500DV 디자인예시를 자이링스 응용노트 [XAPP361](#)에서 참조하기 바란다.

만일 타겟 시스템이 단지 한 개의 프로그램 가능한 디바이스를 가지고 있다면, 2mm 커넥터는 가능한 한 타겟 시스템에 가까이 위치하는 것이 좋다. 타겟 시스템 내에 복수의 디바이스들이 싱글 체인 내에 존재한다면, 사용자들은 TCK\_CCLK신호를 버퍼링 하는 것을 고려해야 한다. 차동 드라이버/리시버 쌍은, [그림 25]에 제시된 형태로 구성 될 때 우수한 신호 품질을 제공한다. 버퍼 링은 타겟 디바이스들이 넓은 PCB 공간에 걸쳐서 산재해 있을 때 매우 유용하다.

각각의 차동 드라이버/리시버 쌍은 약 5나노초 정도의 프라퍼게이션 딜레이를 가지게 된다. 이 딜레이는 12Mhz 또는 더 느린 클럭 속도에서는 무시해도 된다.

각각의 차동 리시버들은, PCB 트레이스 상에 자잘한

가지들이 없고 전체 트레이스 길이가 4인치 보다 짧다면, 여러 개의 타겟 디바이스들을 구동할 수도 있다. 일련의 종단 저항들은 차동 리시버의 한쪽 끝단출력에 근접한 위치에 배치되어야 한다.



[그림 25] 차동 출력버퍼의 예

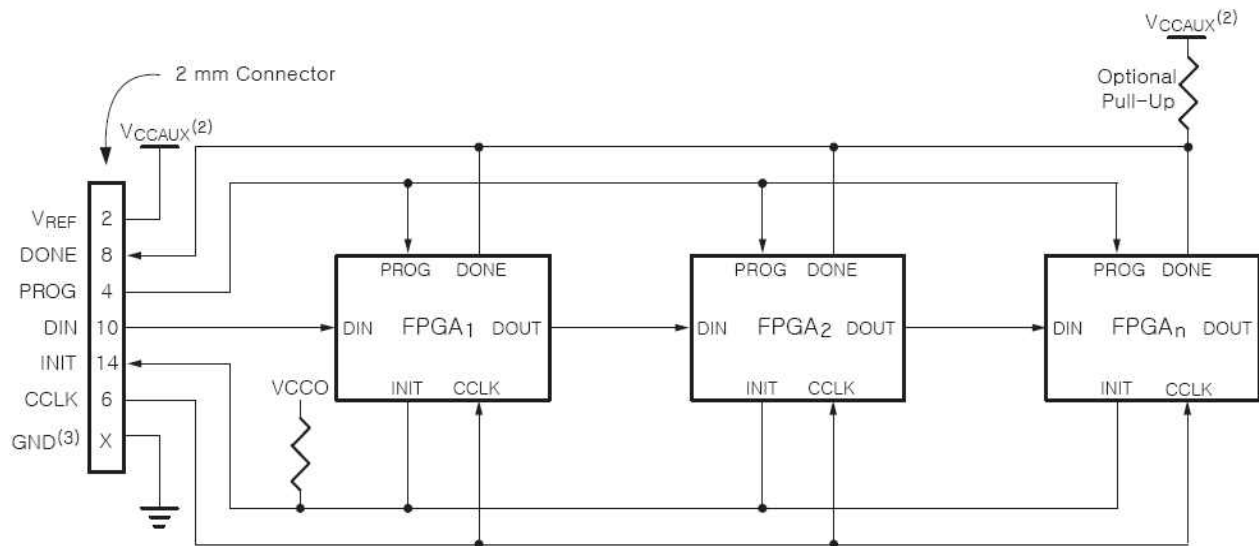
**Note :** 만일 타겟 시스템이 TCK\_CCLK신호에 대하여 버퍼를 사용하고 24Mhz의 클럭이 사용되었다면, TMS\_PROG에도 역시 동일한 버퍼를 사용할 것을 권장한다. 이것은 TCK\_CCLK와 TMS\_PROG 신호사이의 위상 관계를 유지시키게 된다. TDI\_DIN 신호는 단 한 개의 부하만 바라보기 때문에 버퍼를 사용할 필요가 없다.

## 타겟 시스템간의 연결

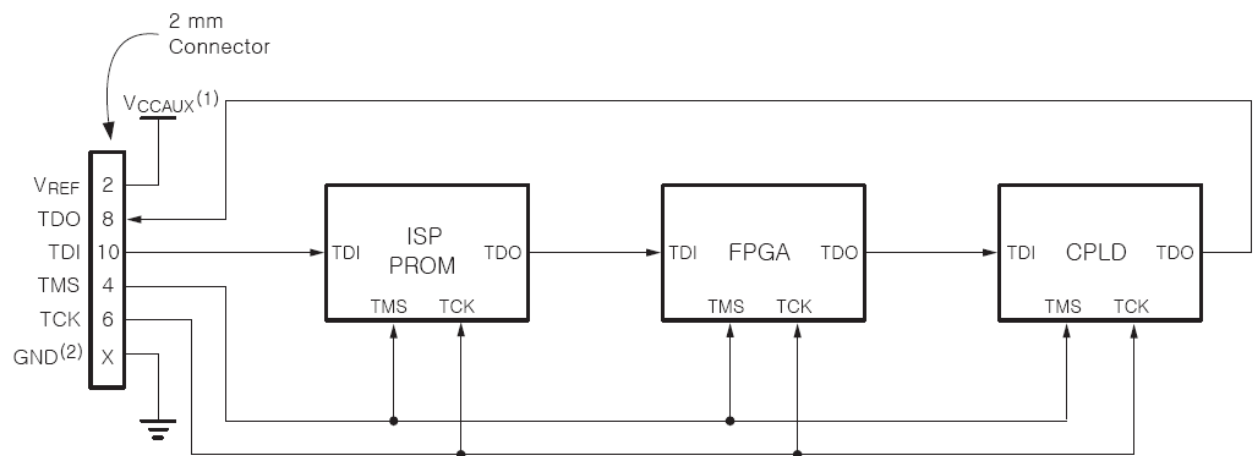
타겟 시스템 상에서 JTAG이나 Slave-Serial 방식의 어떠한 구성을 사용한다 하더라도, 복수의 디바이스들을 연결하여 사용할 수 있다. [그림26]은 Slave-Serial의 연결 예를 보여주고, [그림27]은 전형적인 JTAG 연결을 보여주고 있다.

FPGA의 DONE 핀은 오픈 드레인이나 액티브 신호드라이버중 하나로 프로그램 될 수 있다. Slave-Serial 방식의 경우 외부 풀업저항이 사용되어야 하는데, 이 경우 모든 디바이스들이 반드시 오픈드레인으로 프로그램 되어야만 한다.

만일 2mm 커넥터가 타겟 디바이스로부터 심각할 정도로 멀리 위치해 있다면, 최소한 TCK\_CCLK 신호를 버퍼링 하는 것이 가장 좋은 방법이다. 이와 같은 다이어그램은 USB Platform Cable과 타겟 디바이스간의 논리적 관계를 설명하기 위한 것이다. 추가적인 버퍼링과 종단신호 관련 정보는 "[Signal Integrity](#)"를 참조하기 바란다.



[그림 26] 연속된 Slave-Serial 방식의 연결 예제



[그림 27] JTAG 체인 방식의 연결 예제